

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Nami YASUOKA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **July 23, 2003**

For: **SEMICONDUCTOR PHOTODETECTING DEVICE AND METHOD FOR  
FABRICATING THE SAME**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: July 23, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-214408, filed July 23, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson  
Attorney for Applicants  
Reg. No. 27,133

DWH/jaz  
Atty. Docket No. **030894**  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月23日

出 願 番 号

Application Number:

特願2002-214408

[ ST.10/C ]:

[ JP 2002-214408 ]

出 願 人

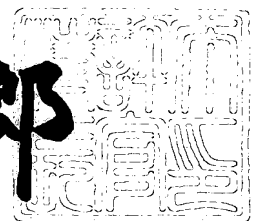
Applicant(s):

富士通株式会社

2003年 1月14日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3105808

【書類名】 特許願

【整理番号】 0240333

【提出日】 平成14年 7月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/10

【発明の名称】 半導体受光装置及びその製造方法

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 安岡 奈美

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 鎌塚 治彦

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 倉又 朗人

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100087479

    【弁理士】

    【氏名又は名称】 北野 好人

【選任した代理人】

    【識別番号】 100114915

    【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体受光装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された受光素子と、

前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路とを有することを特徴とする半導体受光装置。

【請求項 2】 半導体基板上に形成された受光素子と、

前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路と、

前記受光素子と前記テーパ光導波路との間の前記半導体基板上に形成され、コア層と、前記コア層の上面のみを選択的に覆う上部クラッド層とを有するリッジ型光導波路と

を有することを特徴とする半導体受光装置。

【請求項 3】 請求項 2 記載の半導体受光装置において、

前記リッジ型光導波路の前記コア層の幅が、前記テーパ光導波路の前記コア層の幅よりも広くなっている

ことを特徴とする半導体受光装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体受光装置において、

前記テーパ光導波路の前記コア層及び／又は前記リッジ型光導波路の前記コア層は、クラッド層により複数の層に分割されている

ことを特徴とする半導体受光装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体受光装置において、

光導波路により互いに光結合された複数の前記受光素子を有する

ことを特徴とする半導体受光装置。

【請求項 6】 半導体基板上に、受光素子を形成する工程と、

前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層を形成する工程と、

前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層を形成する工程と

を有することを特徴とする半導体受光装置の製造方法。

【請求項 7】 半導体基板上の第 1 の領域に、受光素子を形成する工程と、

前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層を形成する工程と、

前記コア層上に第 1 の上部クラッド層を形成する工程と、

前記第 1 の上部クラッド層及び前記コア層を、一端が受光素子に接続するストライプ形状にパターニングする工程と、

前記第 1 の領域及び前記第 1 の領域に隣接する第 2 の領域を覆う第 1 のマスク膜を形成する工程と、

前記第 1 のマスク膜をマスクとして前記第 1 の上部クラッド層をエッチングし、前記第 2 の領域に前記コア層及び前記第 1 の上部クラッド層を有するリッジ型光導波路を形成する工程と、

前記第 1 のマスク膜をマスクとして、前記半導体基板上及び前記コア層上に、第 2 の上部クラッド層を形成し、前記第 2 の領域に隣接する第 3 の領域に、前記コア層及び前記第 2 の上部クラッド層を有するテーパ光導波路を形成する工程とを有することを特徴とする半導体受光装置の製造方法。

【請求項 8】 請求項 7 記載の半導体受光装置の製造方法において、

前記テーパ光導波路を形成する工程では、第 2 のマスク膜を用いて、前記第 2 の上部クラッド層の成長速度に分布をもたせることにより、前記受光素子側に向かって膜厚が連続的に減少するように前記第 2 のクラッド層を形成することを特徴とする半導体受光装置の製造方法。

【請求項 9】 請求項 7 又は 8 記載の半導体受光装置の製造方法において、

前記第 1 の上部クラッド層及び前記コア層をパターニングする工程では、前記コア層の前記第 2 の領域における幅が前記第 3 の領域における幅よりも広くなる

ように、前記コア層をパターニングする

ことを特徴とする半導体受光装置の製造方法。

【請求項 1 0】 請求項 6 乃至 9 のいずれか 1 項に記載の半導体受光装置の製造方法において、

前記コア層を形成する工程では、前記半導体基板上に、クラッド層により複数の層に分割された前記コア層を形成する

ことを特徴とする半導体受光装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体受光装置及びその製造方法に係り、特に、受光素子と、受光素子に光を導く光導波路とを一体的に備えた半導体受光装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年のインターネットに代表される情報通信網の発展に伴い、より高速な光通信システムの必要性が高まってきている。これに伴い、光通信システムにおいて光信号の検出等に用いられる半導体光受光装置についても、4 0 G b i t / s 以上の情報伝達速度で高速動作が可能であることが求められている。

【 0 0 0 3 】

これまで、高速動作が可能な半導体受光装置としては、光ファイバと容易に結合することができるテーパ状光導波路とフォトダイオードとを一体的に備えた本願発明者による半導体受光装置が知られている（例えば、特開平 2 0 0 2 - 2 6 3 7 0 号公報を参照）。

【 0 0 0 4 】

図 1 9 はテーパ状光導波路を一体的に備えた従来の半導体受光装置の構造を示す概略図である。図 1 9 ( a ) は従来の半導体受光装置の光の進行方向に沿った断面図、図 1 9 ( b ) は図 1 9 ( a ) の A - A ' 線断面図、図 1 9 ( c ) は図 1 9 ( a ) の B - B ' 線断面図、図 1 9 ( d ) は図 1 9 ( a ) の C - C ' 線断面図

である。

【0005】

S I (Semi-Insulating) - I n P 基板 1 0 0 上に、入射する光が伝搬する光導波路部 1 0 2 と、光導波路部 1 0 2 を伝搬した光を受光する受光部 1 0 4 とが隣接して設けられている。

【0006】

S I - I n P 基板 1 0 0 上には、n 型 I n P 層 1 0 6 が形成されている。

【0007】

光導波路部 1 0 2 の n 型 I n P 層 1 0 6 上には、S I - I n P 基板 1 0 0 端部から受光部 1 0 4 側に向かって厚さが連続的に増大しているテーパ状の I n G a A s P コア層 1 0 8 が形成されている。さらに、n 型 I n P 層 1 0 6 上には、I n P クラッド層 1 1 0 が形成され、I n G a A s P コア層 1 0 8 が埋め込まれている。

【0008】

受光部 1 0 4 の n 型 I n P 層 1 0 6 上には、ドーピングされていない I n G a A s 光吸収層 1 1 2 が形成されている。I n G a A s 光吸収層 1 1 2 上には、p 型半導体層 1 1 4 が形成されている。こうして、I n G a A s 光吸収層 1 1 2 が p 型半導体層 1 1 4 と n 型 I n P 層 1 0 6 とに挟まれてなる P I N フォトダイオード 1 1 6 が形成されている。

【0009】

P I N フォトダイオード 1 1 6 の光導波路部 1 0 2 側端面には、I n G a A s P コア層 1 0 8 の受光部 1 0 4 側端面が光結合されている。

【0010】

P I N フォトダイオード 1 1 6 の p 型半導体層 1 1 4 上には、p 型電極 1 1 8 が形成されている。受光部 1 0 4 の n 型 I n P 層 1 0 6 上には、n 型電極 1 2 0 が形成されている。

【0011】

光ファイバ等の外部光導波路により半導体受光装置へと導かれた光は、埋め込み光導波路部 1 0 2 端部の I n G a A s P コア層 1 0 8 の一端に入射する。

【 0 0 1 2 】

I n G a A s P コア層 1 0 8 に入射した光は、I n G a A s P コア層 1 0 8 内を受光部 1 0 4 へ向けて伝搬し、P I N フォトダイオード 1 1 6 の I n G a A s 光吸収層 1 1 2 の側面に入射する。

【 0 0 1 3 】

I n G a A s P コア層 1 0 8 を伝搬した光が入射した P I N フォトダイオード 1 1 6 は、光電変換の原理に基づき、入射した光の強度に応じた電気信号を p 型電極 1 1 8 に出力する。

【 0 0 1 4 】

図 1 9 に示す従来の半導体受光装置では、4 0 G H z の応答特性を得ることができ、また、本願発明者等により、偏波依存性がなく、高い受光効率を有するものも試作されている（例えば、CPT2001 Technica Digest (2001) p.105を参照）。

【 0 0 1 5 】

【発明が解決しようとする課題】

上記従来のテーパ状光導波路を備えた半導体受光装置の高速動作を実現するためには、受光部の容量を低減する必要がある。素子の低容量化には、素子構造をメサ型とする方法が最も有力であると考えられている。P I N フォトダイオードをメサ型構造とすることにより、P I N 接合容量を従来構造のものと比較して半減することができる。

【 0 0 1 6 】

しかしながら、製造工程上、メサ型受光素子とテーパ状光導波路とをモノリシック集積することは困難であった。これは、メサ型受光素子とテーパ状光導波路のパターニング及びエッチングを同時に行うことが困難であるために、テーパ状光導波路とメサ型受光素子との間の光結合損失が大きくなってしまったためである。

【 0 0 1 7 】

本発明の目的は、高い受光効率を有するとともに高速動作が可能であり、歩留まりよく製造しうる半導体受光装置及びその製造方法を提供することにある。

## 【 0 0 1 8 】

## 【課題を解決するための手段】

上記目的は、半導体基板上に形成された受光素子と、前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路とを有することを特徴とする半導体受光装置により達成される。

## 【 0 0 1 9 】

また、上記目的は、半導体基板上に形成された受光素子と、前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路と、前記受光素子と前記テーパ光導波路との間の前記半導体基板上に形成され、コア層と、前記コア層の上面上のみを選択的に覆う上部クラッド層とを有するリッジ型光導波路とを有することを特徴とする半導体受光装置により達成される。

## 【 0 0 2 0 】

また、上記目的は、半導体基板上に、受光素子を形成する工程と、前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層を形成する工程と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層を形成する工程とを有することを特徴とする半導体受光装置の製造方法により達成される。

## 【 0 0 2 1 】

また、上記目的は、半導体基板上の第 1 の領域に、受光素子を形成する工程と、前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層を形成する工程と、前記コア層上に第 1 の上部クラッド層を形成する工程と、前記第 1 の上部クラッド層及び前記コア層を、一端が受光素子に接続するストライプ形状にパターンニングする工程と、前記第 1 の領域及び前記第 1 の領域に隣接する第 2 の領域を覆う第 1 のマスク膜を形成する工程と、前記第 1 のマスク膜をマスクとして前記第 1 の上部クラッド層をエッチングし、前記第 2 の

領域に前記コア層及び前記第 1 の上部クラッド層を有するリッジ型光導波路を形成する工程と、前記第 1 のマスク膜をマスクとして、前記半導体基板上及び前記コア層上に、第 2 の上部クラッド層を形成し、前記第 2 の領域に隣接する第 3 の領域に、前記コア層及び前記第 2 の上部クラッド層を有するテーパ光導波路を形成する工程とを有することを特徴とする半導体受光装置の製造方法により達成される。

## 【 0 0 2 2 】

## 【発明の実施の形態】

## 〔第 1 実施形態〕

本発明の第 1 実施形態による半導体受光装置及びその製造方法について図 1 乃至図 5 を用いて説明する。図 1 は本実施形態による半導体受光装置の構造を示す斜視図、図 2 は本実施形態による半導体受光装置の構造を示す断面図、図 3 及び図 4 は本実施形態による半導体受光装置の製造方法を示す工程断面図、図 5 は本実施形態による半導体受光装置の製造方法において用いるマスクを示す上面図である。

## 【 0 0 2 3 】

まず、本実施形態による半導体受光装置について図 1 及び図 2 を用いて説明する。図 2 (a) は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図 2 (b) は図 2 (a) の A - A' 線断面図、図 2 (c) は図 2 (a) の B - B' 線断面図、図 2 (d) は図 2 (a) の C - C' 線断面図である。

## 【 0 0 2 4 】

本実施形態による半導体受光装置では、S I - I n P 基板 1 0 上に、入射する光が伝搬する光導波路部 1 2 と、光導波路部 1 2 を伝搬した光を受光する受光部 1 4 とが隣接して設けられている。

## 【 0 0 2 5 】

S I - I n P 基板 1 0 上には、光導波路部 1 2 における下部クラッド層、及び受光部 1 4 における P I N フォトダイオードの n 型半導体層として機能する n 型 I n P 層 1 6 が形成されている。

## 【 0 0 2 6 】

光導波路部 1 2 の n 型 I n P 層 1 6 上には、S I - I n P 基板 1 0 端部から受光部 1 4 側に向かって厚さが連続的に増大しているテーパ状の I n G a A s P コア層 1 8 が形成されている。光導波路部 1 2 の受光部 1 4 側近傍以外の領域では、n 型 I n P 層 1 6 上に I n P クラッド層 2 0 a が形成されている。これにより、I n G a A s P コア層 1 8 が埋め込まれ、その上面及び側面が I n P クラッド層 2 0 a により覆われている。光導波路部 1 2 の受光部 1 4 側近傍では、I n G a A s P コア層 1 8 の上面にのみ選択的に I n P クラッド層 2 0 b が形成され、I n G a A s P コア層 1 8 の側面は露出している。

## 【 0 0 2 7 】

このように、光導波路部 1 2 は、下部クラッド層として機能する n 型 I n P 層 1 6 上に形成された I n G a A s P コア層 1 8 が I n P クラッド層 2 0 a により埋め込まれた埋め込み光導波路部 1 2 a と、I n G a A s P コア層 1 8 の上面に I n P クラッド層 2 0 b が形成され、I n G a A s P コア層 1 8 の側面が露出しているリッジ型接続用光導波路部 1 2 b とから構成されている。

## 【 0 0 2 8 】

受光部 1 4 の n 型 I n P 層 1 6 上には、ドーピングされていない I n G a A s 光吸収層 2 2 が形成されている。I n G a A s 光吸収層 2 2 上には、p 型 I n P 層、p 型 I n G a A s P 層、及び p 型 I n P 層が順次積層されてなる p 型半導体層 3 0 が形成されている。こうして、S I - I n P 基板 1 0 上に、n 型 I n P 層 1 6 と、ドーピングされていない I n G a A s 光吸収層 2 2 と、p 型半導体層 3 0 とが順次積層されてなるメサ型の P I N フォトダイオード 3 2 が形成されている。

## 【 0 0 2 9 】

P I N フォトダイオード 3 2 の光導波路部 1 2 側端面には、I n G a A s P コア層 1 8 の受光部 1 4 側端面が直接接合（バッドカップリング）により光結合されている。

## 【 0 0 3 0 】

P I N フォトダイオード 3 2 の p 型半導体層 3 0 上には、p 型電極 3 6 が形成されている。受光部 1 4 の n 型 I n P 層 1 6 上には、n 型電極 3 8 が形成されている。

【 0 0 3 1 】

こうして、本実施形態による半導体受光装置が構成されている。

【 0 0 3 2 】

本実施形態による半導体受光装置は、光導波路部 1 2 の受光部 1 4 との接続部近傍が、リッジ型光導波路部 1 2 b となっていることに主たる特徴がある。すなわち、メサ型の受光素子である P I N フォトダイオード 3 2 との光結合部近傍の光導波路がリッジ型となっていることに主たる特徴がある。かかる構造により、後述するように、I n G a A s P コア層 1 8 と P I N フォトダイオード 3 2 との間の光結合損失の増大を招くことなく、テーパ状の I n G a A s P コア層 1 8 と P I N フォトダイオード 3 2 とをモノリシックに集積することができるので、高い受光効率を有し、高速動作可能な半導体受光装置を実現することができる。

【 0 0 3 3 】

次に、本実施形態による半導体受光装置の動作について図 1 及び図 2 を用いて説明する。

【 0 0 3 4 】

光ファイバ等の外部光導波路により半導体受光装置へと導かれた光は、埋め込み光導波路部 1 2 a 端部の I n G a A s P コア層 1 8 の一端から入射する。

【 0 0 3 5 】

I n G a A s P コア層 1 8 に入射した光は、埋め込み光導波路部 1 2 a の I n G a A s P コア層 1 8 内を受光部 1 4 へ向けて伝搬し、これによりモード変換される。

【 0 0 3 6 】

埋め込み光導波路部 1 2 a の I n G a A s P コア層 1 8 内を伝搬する光は、引き続き、リッジ型接続用光導波路部 1 2 b の I n G a A s P コア層 1 8 内を伝搬する。その後、メサ型の P I N フォトダイオード 3 2 の I n G a A s 光吸収層 2 2 の側面に入射する。

【 0 0 3 7 】

リッジ型接続用光導波路部 1 2 b の I n G a A s P コア層 1 8 から光が入射した P I N フォトダイオード 3 2 は、光電変換の原理に基づき、入射した光の強度

に応じた電気信号を p 型電極 3 6 に出力する。

#### 【 0 0 3 8 】

次に、本実施形態による半導体受光装置の製造方法について図 3 乃至図 5 を用いて説明する。図 3 (a) 乃至図 3 (f) は図 2 (a) に対応する半導体受光装置における光の進行方向に沿った工程断面図である。図 4 (a 1)、図 4 (b 1)、図 4 (c 1)、図 4 (d 1)、図 4 (e 1)、及び図 4 (f 1) はそれぞれ図 3 (a) 乃至図 3 (f) の A-A' 線断面図である。図 4 (a 2)、図 4 (b 2)、図 4 (c 2)、図 4 (d 2)、図 4 (e 2)、及び図 4 (f 2) はそれぞれ図 3 (a) 乃至図 3 (f) の B-B' 線断面図である。図 4 (a 3)、図 4 (b 3)、図 4 (c 3)、図 4 (d 3)、図 4 (e 3)、及び図 4 (f 3) はそれぞれ図 3 (a) 乃至図 3 (f) の C-C' 線断面図である。図 5 (a) 乃至図 5 (c) は本実施形態による半導体受光装置の製造方法において用いるマスクを示す上面図である。

#### 【 0 0 3 9 】

まず、S I - I n P 基板 1 0 上に、例えば M O V P E 法により、厚さ  $2 \mu\text{m}$  の n 型 I n P 層 1 6 と、厚さ  $0.2 \mu\text{m}$  の I n G a A s 層 4 0 と、厚さ  $1.5 \mu\text{m}$  の p 型 I n P 層 4 2 と、厚さ  $0.3 \mu\text{m}$  の p 型 I n G a A s 層 4 4 と、厚さ  $0.05 \mu\text{m}$  の p 型 I n P 層 4 6 とを順次エピタキシャル成長する (図 3 (a)、図 4 (a 1)、図 4 (a 2)、図 (a 3) を参照)。なお、ここで形成した p 型 I n P 層 4 6 については、p 型電極 3 8 を形成する際にエッチングにより除去する。

#### 【 0 0 4 0 】

次いで、このように形成したエピウェハ上に、例えば C V D 法によりシリコン酸化膜を形成する。続いて、リソグラフィー及びエッチング技術を用いて、図 5 (a) に示すように、P I N フォトダイオード 3 2 の形成予定領域及びそれを両側から挟む矩形状の領域に、シリコン酸化膜 4 8 を形成する。

#### 【 0 0 4 1 】

次いで、例えば反応性イオンエッチング (Reactive Ion Etching: R I E) 法により、シリコン酸化膜 4 8 をマスクとして、p 型 I n P 層 4 6、p 型 I n G a

As 層 4 4、p 型 InP 層 4 2、及び InGaAs 層 4 0 をパターンニングする。これにより、シリコン酸化膜 4 8 が形成されていない領域では、n 型 InP 層 1 6 が露出する。一方、シリコン酸化膜 4 8 が形成された PIN フォトダイオード 3 2 の形成予定領域及びそれを両側から挟む矩形状の領域には、p 型 InP 層 4 6、p 型 InGaAs 層 4 4、p 型 InP 層 4 2、InGaAs 層 4 0 が残存する（図 3（b）、図 4（b1）、図 4（b2）、図 4（b3）を参照）。

#### 【0042】

次いで、シリコン酸化膜 4 8 を選択成長マスクとして、全面に、例えば有機金属気相成長（Metal Organic Vapor Phase Epitaxy: MOVPE）法により、InGaAsP 層 5 0 と、InP 層 5 2 とを順次形成する（図 3（c）、図 4（c1）、図 4（c2）、図 4（c3）を参照）。例えば、InGaAsP 層 5 0 の成膜では、アルシン、ホスフィン、トリメチルインジウム、及びトリメチルガリウムを原料とし、150 Torr、650℃で成長する。また、InP 層 5 2 の成膜では、ホスフィン及びトリメチルインジウムを原料とし、10 Torr、650℃で成長する。

#### 【0043】

InGaAsP 層 5 0 の成膜において、シリコン酸化膜 4 8 上に析出した原料原子は、シリコン酸化膜 4 8 表面上を移動する。そして、原料原子は、PIN フォトダイオード 3 2 の形成予定領域を両側から挟む矩形状の領域間の溝に到達したところで、溝の底部に露出した n 型 InP 層 1 6 上に堆積する。この結果、InGaAsP 層 5 0 は、PIN フォトダイオード 3 2 に向かって厚さが連続的に増大するテーパ状に形成される（図 3（c）を参照）。

#### 【0044】

InGaAsP 層 5 0 及び InP 層 5 2 を形成した後、選択成長マスクとして用いたシリコン酸化膜 4 8 を除去する。

#### 【0045】

次いで、例えば CVD 法により、シリコン酸化膜を全面に形成する。続いて、リソグラフィー及びエッチング技術を用いて、図 5（b）に示すように、InGaAsP コア層 1 8 及び PIN フォトダイオード 3 2 の形成予定領域を含む領域

を覆うストライプ状のシリコン酸化膜 5 4 を形成する。

【 0 0 4 6 】

次いで、例えば R I E 法により、シリコン酸化膜 5 4 をマスクとして、I n P 層 5 2、I n G a A s P 層 5 0、p 型 I n P 層 4 6、p 型 I n G a A s 層 4 4、p 型 I n P 層 4 2、及び I n G a A s 層 4 0 をパターニングする。こうして、光導波路部 1 2 において、I n G a A s P 層 5 0 がストライプ化され、I n G a A s P コア層 1 8 が形成される。同時に、受光部 1 4 において、p 型 I n P 層 4 6、p 型 I n G a A s 層 4 4、p 型 I n P 層 4 2、及び I n G a A s 層 4 0 がストライプ化され、メサ型の P I N フォトダイオード 3 2 が形成される（図 3（d）、図 4（d 1）、図 4（d 2）、図 4（d 3）を参照）。

【 0 0 4 7 】

上述のように、本実施形態によれば、埋め込み光導波路部 1 2 a 及びリッジ型光導波路部 1 2 b の I n G a A s P コア層 1 8、及び P I N フォトダイオード 3 2 のパターニング及びエッチングを同時に行うことができる。これにより、I n G a A s P コア層 1 8 と P I N フォトダイオード 3 2 との間の光結合損失の増大を招くことなく、テーパ状の I n G a A s P コア層 1 8 と P I N フォトダイオード 3 2 とをモノリシックに集積することができる。これにより、高い受光効率を有し、高速動作可能な半導体受光装置を実現することができる。

【 0 0 4 8 】

I n G a A s P コア層 1 8 及び P I N フォトダイオード 3 2 を形成した後、シリコン酸化膜 5 4 を除去する。

【 0 0 4 9 】

次いで、例えば C V D 法により、シリコン酸化膜を全面に形成する。続いて、リソグラフィー及びエッチング技術を用いて、図 5（c）に示すように、P I N フォトダイオード 3 2 の両側を含む矩形の領域を覆うシリコン酸化膜 5 6 を形成する。

【 0 0 5 0 】

次いで、例えば R I E 法により、シリコン酸化膜 5 6 をマスクとして、I n P 層 5 2 をエッチングする。こうして、P I N フォトダイオード 3 2 の両側近傍の

矩形の領域に形成されている InP 層 5 2 が残存する（図 3（e）、図 4（e 1）、図 4（e 2）、図 4（e 3）を参照）。こうして、リッジ型接続用光導波路部 1 2 b において、InGaAsP コア層 1 8 上面に、InP クラッド層 2 0 b が選択的に形成される。

#### 【0 0 5 1】

次いで、シリコン酸化膜 5 6 を選択成長マスクとして、例えば MOVPE 法により、全面に InP 層を形成する。これにより、埋め込み光導波路部 1 2 a において、InGaAsP コア層 1 8 が InP クラッド層 2 0 a により埋め込まれる（図 3（f）、図 4（f 1）、図 4（f 2）、図 4（f 3）を参照）。

#### 【0 0 5 2】

以後、通常の製造プロセスに従い、受光部 1 4 のパターニング、p 型電極 3 6、n 型電極 3 8 の形成等を行う。

#### 【0 0 5 3】

こうして、本実施形態による半導体受光装置が製造される。

#### 【0 0 5 4】

このように、本実施形態によれば、メサ型の PIN フォトダイオード 3 2 との光結合部近傍の InGaAsP コア層 1 8 上面に InP クラッド層 2 0 b を形成して PIN フォトダイオード 3 2 との光結合部近傍の光導波路をリッジ型とするので、PIN フォトダイオード 3 2 と光導波路との間の光結合損失の増大を招くことなく、メサ型の受光素子とテーパ状の光導波路とをモノリシックに集積することができる。これにより、高い受光効率を有し、高速動作可能な半導体受光装置を実現することができる。

#### 【0 0 5 5】

#### 〔第 2 実施形態〕

本発明の第 2 実施形態による半導体受光装置及びその製造方法について図 6 乃至図 1 1 を用いて説明する。図 6 は第 1 実施形態による半導体受光装置の製造方法において InP クラッド層を厚く形成した場合の様子を示す断面図、図 7 は本実施形態による半導体受光装置の構造を示す斜視図、図 8 は本実施形態による半導体受光装置の構造を示す断面図、図 9 及び図 1 0 は本実施形態による半導体受

光装置の製造方法を示す工程断面図、図 1 1 は本実施形態による半導体受光装置の製造方法において用いるマスクを示す上面図である。なお、第 1 実施形態による半導体受光装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

## 【 0 0 5 6 】

上述した第 1 実施形態による半導体受光装置においては、光ファイバ等の外部光導波路との結合を容易にするため、光の入射端面近傍での I n P クラッド層 2 0 a を十分に厚くすることが望ましい。すなわち、光の結合損失を低減し受光感度を向上するためには、入射端面近傍での I n P クラッド層 2 0 a の厚さを例えば 4  $\mu$  m 以上にすることが望ましい。

## 【 0 0 5 7 】

しかしながら、第 1 実施形態による半導体受光装置の構造のまま単に I n P クラッド層 2 0 a を厚くした場合には、以下に述べるような難点が想定される。第 1 実施形態による半導体受光装置の製造方法において I n P クラッド層 2 0 a を厚くした場合について図 6 を用いて説明する。

## 【 0 0 5 8 】

I n P クラッド層 2 0 a の厚さを例えば 2  $\mu$  m 以上とすると、埋め込み光導波路部 1 2 a とリッジ型接続用光導波路部 1 2 b とを滑らかに接続することが困難となる。このため、図 6 に示すように、埋め込み光導波路部 1 2 a とリッジ型接続用光導波路部 1 2 b との接続部近傍等において、成膜の際に I n P クラッド層 2 0 a の異常成長が生じ、不規則な凹凸が形成される。

## 【 0 0 5 9 】

図 6 に示すような I n P クラッド層 2 0 a における凹凸が生じた場合、その後、に受光部 1 4 をパターニングする際に用いるレジスト膜の厚さにばらつきが生じる。この結果、受光部 1 4 を高い精度でパターニングすることが困難となることが想定される。特に、p 型電極 3 6、n 型電極 3 8 等の電極のパターニング不良が発生すると、コンタクト抵抗の上昇等を招き、歩留まり低下の一因となりうる。

## 【 0 0 6 0 】

また、かかる InP クラッド層 20a の異常成長部は形状が不規則であるため、化学エッチング等により除去することが困難であると考えられる。したがって、InP クラッド層 20a の異常成長そのものを抑制する必要がある。

## 【0061】

本実施形態による半導体受光装置及びその製造方法は、埋め込み光導波路部 12a において InGaAsP コア層 18 を埋め込むクラッド層の厚さを、上述した異常成長を抑制しつつ、光の入射端面近傍で厚くすることを可能とするものである。本実施形態によれば、高い受光効率を有するとともに高速動作が可能であるのみならず、光ファイバ等の外部光導波路と低光結合損失で容易に結合することができ、歩留まりよく製造することができる半導体受光装置を提供することができる。

## 【0062】

まず、本実施形態による半導体受光装置について図 7 及び図 8 を用いて説明する。図 8 (a) は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図 8 (b) は図 8 (a) の A-A' 線断面図、図 8 (c) は図 8 (a) の B-B' 線断面図、図 8 (d) は図 8 (a) の C-C' 線断面図である。

## 【0063】

本実施形態による半導体受光装置では、第 1 実施形態による場合と同様に、光導波路部 12 と受光部 14 とが同一基板上に形成されている。光導波路部 12 は、埋め込み光導波路部 12a と、リッジ型接続用光導波路部 12b とから構成されている。

## 【0064】

埋め込み光導波路部 12a においては、n 型 InP 層 16 上に、SI-InP 基板 10 の光の入射端面から受光部 14 側に向かって厚さが連続的に減少しているテーパ状の InP クラッド層 58 が形成され、InGaAsP コア層 18 が埋め込まれている。

## 【0065】

InP クラッド層 58 は、リッジ型接続用光導波路部 12b 近傍での厚さが、例えば  $1.8\mu\text{m}$  となっており、リッジ型接続用光導波路部 12b の InGaAsP

s P コア 層 1 8 上面に形成された I n P クラッド層 2 0 b とほぼ滑らかに接続している。

【 0 0 6 6 】

一方、光の入射端面近傍における I n P クラッド層 5 8 の厚さは、例えば 4 . 5  $\mu$  m となっており、光ファイバ等の外部光導波路と低光損失かつ容易に結合するために十分な厚さとなっている。

【 0 0 6 7 】

このように、本実施形態による半導体受光装置は、S I - I n P 基板 1 0 端部から受光部 1 4 側に向かって厚さが連続的に減少しているテーパ状の I n P クラッド層 5 8 を有することに主たる特徴がある。

【 0 0 6 8 】

テーパ状の I n P クラッド層 5 8 は、後述する方法により、リッジ型接続用光導波路部 1 2 b との接続部近傍における成長速度を、光の入射端面近傍における成長速度に比べて小さくなるようにして形成されたものである。このため、リッジ型接続用光導波路部 1 2 b との接続部近傍における異常成長を抑制しつつ光の入射端面近傍での I n P クラッド層 5 8 を十分に厚くすることができる。これにより、本実施形態による半導体受光装置を、光ファイバ等の外部光導波路と低光損失かつ容易に結合することができる。また、I n P クラッド層 5 8 の異常成長が抑制されるので、受光部 1 4 のパターンニングにおける不具合の発生等が抑制され、高い歩留まりで本実施形態による半導体受光装置を製造することができる。

【 0 0 6 9 】

次に、本実施形態による半導体受光装置の製造方法について図 9 乃至図 1 1 を用いて説明する。図 9 ( a ) 乃至図 9 ( c ) は図 8 ( a ) に対応する半導体受光装置における光の進行方向に沿った工程断面図である。図 1 0 ( a 1 ) 、図 1 0 ( b 1 ) 、及び図 1 0 ( c 1 ) はそれぞれ図 9 ( a ) 乃至図 9 ( c ) の A - A ' 線断面図である。図 1 0 ( a 2 ) 、図 1 0 ( b 2 ) 、及び図 1 0 ( c 2 ) はそれぞれ図 9 ( a ) 乃至図 9 ( c ) の B - B ' 線断面図である。図 1 0 ( a 3 ) 、図 1 0 ( b 3 ) 、及び図 1 0 ( c 3 ) はそれぞれ図 9 ( a ) 乃至図 9 ( c ) の C - C ' 線断面図である。図 1 1 は本実施形態による半導体受光装置の製造方法にお

いて用いるマスクを示す上面図である。

#### 【 0 0 7 0 】

本実施形態による半導体受光装置の製造方法は、InGaAsPコア層18を埋め込むInPクラッド層58を、SI-InP基板10端部から受光部14側に向かってその厚さが連続的に減少するように形成することに主たる特徴がある。

#### 【 0 0 7 1 】

まず、図3(a)乃至図3(d)、図4(a1)乃至図4(a3)、図4(b1)乃至図4(b3)、図4(c1)乃至図4(c3)、及び図4(d1)乃至図4(d3)に示す第1実施形態による半導体受光装置の製造方法の場合と同様にして、SI-InP基板10上に、InGaAsPコア層18及びPINフォトダイオード32を形成する(図9(a)、図10(a1)、図10(a2)、図10(a3)を参照)。

#### 【 0 0 7 2 】

次いで、例えばCVD法により、シリコン酸化膜を全面に形成する。続いて、リソグラフィー及びエッチング技術を用いて、図11に示すように、PINフォトダイオード32の両側を含む矩形の領域と、InGaAsPコア層18が形成された領域を挟む矩形の領域とを覆うシリコン酸化膜60を形成する。

#### 【 0 0 7 3 】

次いで、例えばRIE法により、シリコン酸化膜60をマスクとして、InP層52をパターニングする。こうして、PINフォトダイオード32の両側近傍のInGaAsP層50上面に形成されているInP層52が残存する(図9(b)、図10(b1)、図10(b2)、図10(b3)を参照)。こうして、リッジ型接続用光導波路部12bにおいて、InGaAsPコア層18上面に、InPクラッド層20bが形成される。

#### 【 0 0 7 4 】

次いで、シリコン酸化膜60を選択成長マスクとして、例えばMOVPE法により、全面にInP層を形成する。成膜条件としては、例えば、原料ガスとしてフォスフィン及びアルシンを用い、成膜温度を600℃とすることができる。

## 【 0 0 7 5 】

また、図 1 1 に示す選択成長マスクとして用いるシリコン酸化膜 6 0 の大きさは、例えば、半導体受光装置 1 チップの大きさを幅 5 0 0  $\mu$  m、長さ 6 0 0  $\mu$  m とした場合には、次のようにすることができる。すなわち、シリコン酸化膜 6 0 が形成される P I N フォトダイオード 3 2 の両側を含む矩形の領域を長さ 3 0  $\mu$  m、幅 3 6 0  $\mu$  m とする。また、I n G a A s P コア層 1 8 が形成された領域を挟む矩形の両領域をそれぞれ長さ 2 6 0  $\mu$  m、幅 1 6 5  $\mu$  m とし、その間の長さ 2 6 0  $\mu$  m、幅 3 0  $\mu$  m の領域を露出する。

## 【 0 0 7 6 】

上記 I n P 層の成膜において、シリコン酸化膜 6 0 上に析出した原料原子は、シリコン酸化膜 6 0 表面上を移動し、シリコン酸化膜 6 0 が形成されていない領域に堆積していく。こうして、I n P 層の成長速度に分布が生じ、矩形のシリコン酸化膜 6 0 に挟まれた I n G a A s P コア層 1 8 が形成された領域での I n P 層の成長速度は、リッジ型接続用光導波路部 1 2 b との接続部近傍に比べて光の入射端面近傍において速くなる。この結果、I n P 層は、リッジ型接続用光導波路部 1 2 b との接続部近傍に比べて、光の入射端面近傍において厚く形成される。

## 【 0 0 7 7 】

こうして、埋め込み光導波路部 1 2 a において、I n G a A s P コア層 1 8 は、S I - I n P 基板 1 0 の光の入射端面側から受光部 1 4 側に向かって厚さが連続的に減少しているテーパ状の I n P クラッド層 5 8 により埋め込まれる（図 9 (c)、図 1 0 (c 1)、図 1 0 (c 2)、図 1 0 (c 3) を参照）。

## 【 0 0 7 8 】

以後、通常の製造プロセスに従い、受光部 1 4 のパターニング、p 型電極 3 6、あ n 型電極 3 8 の形成等を行う。

## 【 0 0 7 9 】

こうして、本実施形態による半導体受光装置が製造される。

## 【 0 0 8 0 】

このように、本実施形態によれば、メサ型の P I N フォトダイオード 3 2 との

光結合部近傍の  $\text{InGaAsP}$  コア層 1 8 上面に  $\text{InP}$  クラッド層 2 0 b を形成して  $\text{PIN}$  フォトダイオード 3 2 との光結合部近傍の光導波路をリッジ型とするので、 $\text{PIN}$  フォトダイオード 3 2 と光導波路との間の光結合損失の増大を招くことなく、メサ型の受光素子とテーパ状の光導波路とをモノリシックに集積することができる。これにより、高い受光効率を有し、高速動作可能な半導体受光装置を実現することができる。

## 【 0 0 8 1 】

さらに、埋め込み光導波路部 1 2 a における  $\text{InP}$  クラッド層 2 0 a を光の入射端面側から  $\text{PIN}$  フォトダイオード 3 2 側に向けて連続的に減少するように形成するので、 $\text{InP}$  クラッド層 2 0 a のリッジ型光導波路部 1 2 b 近傍における異常成長を抑制することができる。これにより、受光部 1 4 のパターニングにおける不具合の発生等を抑制することができ、高い受光効率を有し、高速動作可能な半導体受光装置を歩留まりよく製造することができる。

## 【 0 0 8 2 】

なお、本実施形態では、受光部 1 4 と埋め込み光導波路部 1 2 a との間に、リッジ型接続用光導波路部 1 2 b を設けていたが、リッジ型接続用光導波路部 1 2 b を設けない構成としてもよい。

## 【 0 0 8 3 】

## 〔第 3 実施形態〕

本発明の第 3 実施形態による半導体受光装置について図 1 2 を用いて説明する。図 1 2 は本実施形態による半導体受光装置の構造を示す断面図である。なお、第 2 実施形態による半導体受光装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

## 【 0 0 8 4 】

本実施形態による半導体受光装置は、第 2 実施形態による半導体受光装置のテーパ状のコア層を多層構造としたものである。以下、本実施形態による半導体受光装置の構造について図 1 2 を用いて説明する。図 1 2 ( a ) は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図 1 2 ( b ) は図 1 2 ( a ) の A - A ' 線断面図、図 1 2 ( c ) は図 1 2 ( a ) の B - B ' 線断面図、図 1 2

(d) は図 1 2 (a) の C - C' 線断面図である。

【 0 0 8 5 】

光導波路部 1 2 の n 型 I n P 層 1 6 上には、S I - I n P 基板 1 0 端部から受光部 1 4 側に向かって厚さが連続的に増大しているテーパ状のコア層 6 2 が形成されている。

【 0 0 8 6 】

コア層 6 2 は、n 型 I n P 層 1 6 上に順次積層された I n G a A s P 層 6 4 と、I n P 層 6 6 と、I n G a A s P 層 6 8 とから構成されている。入射端では、例えば、I n G a A s P 層 6 4 の厚さは  $0.039\mu\text{m}$ 、I n P 層 6 6 の厚さは  $0.002\mu\text{m}$ 、I n G a A s P 層 6 8 の厚さは  $0.039\mu\text{m}$  となっている。受光部 1 4 近傍では、例えば、I n G a A s P 層 6 4 の厚さは  $0.17\mu\text{m}$ 、I n P 層 6 6 の厚さは  $0.003\mu\text{m}$ 、I n G a A s P 層 6 8 の厚さは  $0.17\mu\text{m}$  となっている。

【 0 0 8 7 】

このように、本実施形態による半導体受光装置は、多層構造を有するテーパ状のコア層 6 2 を有することに主たる特徴がある。多層構造の光導波路とし、その多層膜の膜厚比を半導体材料組成で変化させることで実効的な膜厚比が大きくなり、最適なモード径変換を実現することができる。多層構造の光導波路とした場合の詳細については、例えば、本願発明者の一部による特開 2 0 0 2 - 2 6 3 7 0 号公報に記載されている。

【 0 0 8 8 】

なお、多層構造を有するテーパ状のコア層 6 2 は、第 1 及び第 2 実施形態において I n G a A s P コア層 1 8 をテーパ状に形成した場合と同様にして、I n G a A s P 層 6 4、I n P 層 6 6、及び I n G a A s P 層 6 8 のそれぞれを順次形成することにより得ることができる。

【 0 0 8 9 】

また、本実施形態では、コア層 6 2 を 3 層構造としたが、3 層構造に限定されるものではなく、2 層構造としてもよいし、或いは 3 層以上の多層構造としてもよい。

## 【 0 0 9 0 】

また、本実施形態では、第 2 実施形態による半導体受光装置のテーパ状の光導波路層を多層構造のコア層 6 2 としたが、他の実施形態による半導体受光装置のテーパ状のコア層を、多層構造を有するコア層 6 2 としても本実施形態による場合と同様の効果が得られる。

## 【 0 0 9 1 】

## 〔第 4 実施形態〕

本発明の第 4 実施形態による半導体受光装置について図 1 3 を用いて説明する。図 1 3 は本実施形態による半導体受光装置の構造を示す断面図である。なお、第 2 実施形態による半導体受光装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

## 【 0 0 9 2 】

本実施形態による半導体受光装置は、第 2 実施形態による半導体受光装置において、埋め込み光導波路部 1 2 a の層数と、リッジ型接続用光導波路部 1 2 b の層数とが異なっているものである。以下、本実施形態による半導体受光装置の構造について図 1 3 を用いて説明する。図 1 3 ( a ) は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図 1 3 ( b ) は図 1 3 ( a ) の A - A ' 線断面図、図 1 3 ( c ) は図 1 3 ( a ) の B - B ' 線断面図、図 1 3 ( d ) は図 1 3 ( a ) の C - C ' 線断面図である。

## 【 0 0 9 3 】

図 1 3 ( a ) 及び図 1 3 ( c ) に示すように、リッジ型接続用光導波路部 1 2 b において、InGaAsP コア層 1 8 上面に形成された InP 層 2 0 b の中に、InGaAsP 層 7 0 が形成されている。

## 【 0 0 9 4 】

このように、本実施形態による半導体受光装置は、埋め込み光導波路部 1 2 a の層数と、リッジ型接続用光導波路部 1 2 b の層数とが異なっていることに主たる特徴がある。

## 【 0 0 9 5 】

埋め込み光導波路部 1 2 a とリッジ型接続用光導波路部 1 2 b との光結合をよ

りよくするためには、縦方向のモードの重なりをよくする必要がある。

【0096】

上記のように、リッジ型接続用光導波路 1 2 b における層数を多くする等、埋め込み光導波路部 1 2 a とリッジ型接続用光導波路部 1 2 b とで多層膜の枚数に差を設けることにより、リッジ型接続用光導波路部 1 2 b の縦方向のモードを広がり、光結合がより良好なものとなり、光損失を低減することができる。

【0097】

なお、本実施形態では、第 2 実施形態による半導体受光装置において、埋め込み光導波路部 1 2 a の層数と、リッジ型接続用光導波路部 1 2 b の層数とが異なるようにしたが、他の実施形態による半導体受光装置について、埋め込み光導波路部 1 2 a の層数と、リッジ型接続用光導波路部 1 2 b の層数とが異なるようにしても本実施形態による場合と同様の効果を得ることができる。

【0098】

〔第 5 実施形態〕

本発明の第 5 実施形態による半導体受光装置について図 1 4 を用いて説明する。図 1 4 は本実施形態による半導体受光装置の構造を示す断面図である。なお、第 2 実施形態による半導体受光装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

【0099】

本実施形態による半導体受光装置は、第 2 実施形態による半導体受光装置において、InGaAsP コア層 1 8 の幅が、埋め込み光導波路部 1 2 a とリッジ型接続用光導波路部 1 2 b とで異なっているものである。以下、本実施形態による半導体受光装置の構造について図 1 4 を用いて説明する。図 1 4 (a) は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図 1 4 (b) は図 1 4 (a) の A-A' 線断面図、図 1 4 (c) は図 1 4 (a) の B-B' 線断面図、図 1 4 (d) は図 1 4 (a) の C-C' 線断面図である。

【0100】

図 1 4 (b) 及び図 1 4 (c) に示すように、埋め込み光導波路部 1 2 a での InGaAsP コア層 1 8 の幅が、リッジ型接続用光導波路部 1 2 b での幅より

も狭くなっている。例えば、埋め込み光導波路部 1 2 a での I n G a A s P コア層 1 8 の幅は  $6\mu\text{m}$  であるのに対し、リッジ型接続用光導波路部 1 2 b での幅は  $8\mu\text{m}$  となっている。

#### 【0101】

このように、本実施形態による半導体受光装置は、埋め込み光導波路部 1 2 a での I n G a A s P コア層 1 8 の幅が、リッジ型接続用光導波路部 1 2 b での幅よりも狭くなっていることに主たる特徴がある。このように、I n G a A s P コア層 1 8 の幅に差を設けることにより、埋め込み光導波路部 1 2 a とリッジ型接続用光導波路部 1 2 b との光結合における光損失を低減することができる。

#### 【0102】

上述した埋め込み光導波路部 1 2 a とリッジ型接続用光導波路部 1 2 b とで幅の異なる I n G a A s P コア層 1 8 は、第 2 実施形態による半導体受光装置の製造方法において、I n G a A s P 層 5 0 のストライプ化にマスクとして用いるシリコン酸化膜 5 4 を所定の異なる幅の部分の有するパターンとすることにより形成することができる。

#### 【0103】

なお、光損失を低減する効果を十分に得るためには、埋め込み光導波路部 1 2 a での I n G a A s P コア層 1 8 の幅を、リッジ型接続用光導波路部 1 2 b での幅よりも  $0.5\mu\text{m}$  以上狭くすることが望ましい。

#### 【0104】

また、本実施形態では、第 2 実施形態による半導体受光装置において、埋め込み光導波路部 1 2 a での I n G a A s P コア層 1 8 の幅を、リッジ型接続用光導波路部 1 2 b での幅よりも狭くしたが、他の実施形態による半導体受光装置についても、埋め込み光導波路部 1 2 a での I n G a A s P コア層 1 8 の幅を、リッジ型接続用光導波路部 1 2 b での幅よりも狭くすることにより同様の効果を得ることができる。

#### 【0105】

#### 〔第 6 実施形態〕

本発明の第 6 実施形態による半導体受光装置について図 1 5 を用いて説明する

。図 1 5 は本実施形態による半導体受光装置の構造を示す断面図である。なお、第 1 実施形態による半導体受光装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

## 【 0 1 0 6 】

本実施形態による半導体受光装置は、第 1 実施形態による半導体受光装置において、 $n$  型  $\text{InP}$  層 1 6 及びリッジ型接続用光導波路部 1 2 b における  $\text{InGaAsP}$  コア層 1 8 上面に形成された  $\text{InP}$  層 2 0 b のそれぞれの中に、 $\text{InGaAsP}$  層が挿入されているものである。以下、本実施形態による半導体受光装置の構造について図 1 5 を用いて説明する。図 1 5 ( a ) は本実施形態による半導体受光装置の光の進行方向に沿った断面図、図 1 5 ( b ) は図 1 5 ( a ) の A - A' 線断面図、図 1 5 ( c ) は図 1 5 ( a ) の B - B' 線断面図、図 1 5 ( d ) は図 1 5 ( a ) の C - C' 線断面図である。

## 【 0 1 0 7 】

埋め込み光導波路部 1 2 a の  $\text{InGaAsP}$  コア層 1 8 下の  $n$  型  $\text{InP}$  層 1 6 の中には、 $\text{InGaAsP}$  コア層 1 8 とほぼ同じ幅の  $\text{InGaAsP}$  層 7 2 a が挿入されている。

## 【 0 1 0 8 】

リッジ型接続用光導波路部 1 8 における  $n$  型  $\text{InP}$  層 1 6 の中でも、 $\text{InGaAs}$  層からなる  $\text{InGaAsP}$  層 7 2 b が挿入されている。また、リッジ型光導波路部 1 2 b における  $\text{InGaAsP}$  コア層 1 8 上面に形成された  $\text{InP}$  クラッド層 2 0 b の中でも、 $\text{InGaAsP}$  コア層 1 8 とほぼ同じ幅の  $\text{InGaAsP}$  層からなる  $\text{InGaAsP}$  層 7 2 c が挿入されている。

## 【 0 1 0 9 】

また、受光部 1 4 における  $n$  型  $\text{InP}$  層 1 6 の中でも、 $\text{InGaAs}$  層からなる  $\text{InGaAsP}$  層 7 2 d が挿入されている。

## 【 0 1 1 0 】

なお、 $n$  型  $\text{InP}$  層 1 6 の中に挿入されている  $\text{InGaAsP}$  層 7 2 a 、 7 2 b 、 7 2 d は、同一の  $\text{InGaAsP}$  層からなるものである。

## 【 0 1 1 1 】

このように、本実施形態による半導体受光装置は、リッジ型光導波路部 1 2 b における I n P クラッド層 2 0 b に、I n P クラッド層 2 0 b とはエッチング特性の異なる I n G a A s P 層 7 2 c が挿入されていることに主たる特徴がある。

【 0 1 1 2 】

この場合、I n P 層 5 2 を形成する際に I n G a A s P 層 7 2 c を挿入し、I n G a A s P 層 7 2 c と I n P 層 5 2 とをパターニングすることにより I n P クラッド層 2 0 b を形成する。エッチング条件を適宜設定することにより、シリコン酸化膜 5 6 をマスクとして I n P 層 5 2 及び I n G a A s P 層 7 2 c をエッチングする際に、I n P 5 2 層にはサイドエッチングが入らず、I n G a A s P 層 7 2 c にはサイドエッチングが入る条件で、I n P 層 5 2 及び I n G a A s P 層 7 2 c をエッチングすることができる。これにより、I n P クラッド層 2 0 b の側面に凹凸が形成される。この凹凸により、I n P 層を再成長し、埋め込み光導波路部 1 2 a における I n P クラッド層 2 0 a を形成する際に、I n P クラッド層 2 0 b と I n P クラッド層 2 0 a とが滑らかに接合される。こうして、埋め込み光導波路部 1 2 a とリッジ型光導波路部 1 2 b との接続部の段差となる部分を滑らかに接合することができる。

【 0 1 1 3 】

上述した I n G a A s P 層 7 2 a 、 7 2 b 、 7 2 c 、 7 2 d は、第 1 実施形態による半導体受光装置の製造方法において、これらを挿入する所定の層の形成工程の間に I n G a A s P 層を形成する工程を追加することにより挿入することができる。

【 0 1 1 4 】

なお、本実施形態では、第 1 実施形態による半導体受光装置の所定の層に I n G a A s P 層を挿入したが、他の実施形態による半導体受光装置についても、本実施形態による場合と同様に I n G a A s P 層を挿入することにより、同様の効果を得ることができる。

【 0 1 1 5 】

また、本実施形態では、I n G a A s P 層を挿入したが、挿入される I n P クラッド層とエッチング特性が異なる I n A l A s P 等の他の 4 元層を挿入しても

よい。

【0 1 1 6】

〔第 7 実施形態〕

本発明の第 6 実施形態による半導体受光装置について図 1 6 を用いて説明する。図 1 6 は本実施形態による半導体受光装置の構造を示す概略図である。

【0 1 1 7】

本実施形態による半導体受光装置は、第 2 実施形態による半導体受光装置において複数の P I N フォトダイオードを光の進行方向に直列に配設したものである。以下、本実施形態による半導体受光装置の構造について図 1 6 を用いて説明する。

図 1 6 ( a ) は本実施形態による半導体受光装置の構造を示す上面図、図 1 6 ( b ) は図 1 6 ( a ) の A - A ' 線断面図、図 1 6 ( c ) は図 1 6 ( b ) 中に点線で描かれた楕円により囲まれた部分を拡大した図である。

【0 1 1 8】

受光部 1 4 において、P I N フォトダイオード 7 4 a 、 7 4 b 、 7 4 c が光の進行方向に直列に配設されている。各 P I N フォトダイオード 7 4 a 、 7 4 b 、 7 4 c は、上記実施形態における P I N フォトダイオード 3 2 と同様に、 n 型 I n P 層 1 6 と、ドーピングされていない I n G a A s 光吸収層 2 2 と、 p 型半導体層 3 0 とが順次積層されてなるメサ型のものである。

【0 1 1 9】

P I N フォトダイオード 7 4 a の一端面には、第 2 実施形態による場合と同様に、 I n G a A s P コア層 1 8 が直接接合により光結合されている。

【0 1 2 0】

P I N フォトダイオード 7 4 a と P I N フォトダイオード 7 4 b の対向する端面同士は、その間に設けられたリッジ型光導波路 7 6 a により光結合されている。P I N フォトダイオード 7 4 b と P I N フォトダイオード 7 4 c の対向する端面同士は、その間に設けられたメサ型光導波路 7 6 b により光結合されている。

【0 1 2 1】

P I N フォトダイオード 7 4 a 、 7 4 b 、 7 4 c のそれぞれの上面には、信号

配線 7 8 がエアーブリッジにより接続されている。

【 0 1 2 2 】

本実施形態による半導体受光装置は、複数の P I N フォトダイオードが光の進行方向に直列に配設されていることに主たる特徴がある。受光部 1 4 において P I N フォトダイオード 7 4 a、7 4 b、7 4 c を光の進行方向に直列に配設する構成とすることにより、一つの P I N フォトダイオード 3 2 を用いる場合に比べて受光部 1 4 における素子容量を低減することが可能となる。

【 0 1 2 3 】

I n G a A s P コア層 1 8 を伝搬した光は、光導波路 7 6 a、7 6 b により互いに光結合された P I N フォトダイオード 7 4 a、7 4 b、7 4 c のそれぞれに入射する。各 P I N ダイオード 7 4 a、7 4 b、7 4 c は、入射光強度に応じた電気信号を信号配線 7 8 に出力する。

【 0 1 2 4 】

上述した P I N フォトダイオード 7 4 a、7 4 b、7 4 c は、第 2 実施形態による半導体受光装置の製造方法において、p 型 I n P 層 4 6、p 型 I n G a A s 層 4 4、p 型 I n P 層 4 2、及び I n G a A s 層 4 0 のエッチングマスクとして用いるシリコン酸化膜 4 8 を、直列に並んだ P I N フォトダイオード 7 4 a、7 4 b、7 4 c の形成予定領域を覆うパターンとすることにより形成することができる。

【 0 1 2 5 】

なお、光の進行方向に直列に配設された P I N フォトダイオード 7 4 a、7 4 b、7 4 c の間の受光感度の差を小さくするために、これらを図 1 7 ( a ) 又は図 1 7 ( b ) に示す構造としてもよい。図 1 7 ( a ) は本実施形態の変形例（その 1）による半導体受光装置の図 1 6 ( c ) に対応する断面図、図 1 7 ( b ) は本実施形態の変形例（その 2）による半導体受光装置の P I N フォトダイオードの上面図である。

【 0 1 2 6 】

例えば、図 1 7 ( a ) に示すように、P I N フォトダイオード 7 4 a、7 4 b、7 4 c の光の進行方向の素子長を、光導波路部 1 2 から離れた位置にあるもの

ほど徐々に長くしてもよい。これにより、P I Nフォトダイオード7 4 a、7 4 b、7 4 cの間の受光感度の差を小さくすることができる。

## 【0 1 2 7】

また、図1 7 (b)に示すように、P I Nフォトダイオード7 4 a、7 4 b、7 4 cの幅を、光導波路部1 2から離れていくほど徐々に広くしてもよい。例えば、InGaAsPコア層1 8の幅を3  $\mu$ mとした場合には、P I Nフォトダイオード7 4 a、7 4 b、7 4 cの幅を、それぞれ順に3  $\mu$ m、5  $\mu$ m、1 0  $\mu$ m程度とする。リッジ型光導波路7 6 a、7 6 bの幅も、異なる幅を有するP I Nフォトダイオード間を光結合することができるように徐々に広くなる。このようにP I Nフォトダイオード7 4 a、7 4 b、7 4 cの幅を徐々に広くすることにより、P I Nフォトダイオード7 4 a、7 4 b、7 4 cの間の受光感度の差を小さくすることができる。

## 【0 1 2 8】

また、本実施形態では、3個のP I Nフォトダイオードを光の進行方向に直列に配設したが、配設するP I Nフォトダイオードの数は3個に限定されるものではない。

## 【0 1 2 9】

また、本実施形態では、第2実施形態による半導体受光装置の受光部1 4に複数のP I Nフォトダイオード7 4 a、7 4 b、7 4 cを設けたが、他の実施形態による半導体受光装置についても、本実施形態による場合と同様に複数のP I Nフォトダイオード7 4 a、7 4 b、7 4 cを設けることにより、同様の効果を得ることができる。

## 【0 1 3 0】

## 〔変形実施形態〕

本発明の上記実施形態に限らず種々の変形が可能である。

## 【0 1 3 1】

例えば、本発明による半導体受光装置を構成する材料は、上記実施形態に記載の材料系に限定されるものではなく、受光する光の波長等に基づき好適な材料系を適宜選択することができる。また、各層の厚さや幅等についても必要に応じて

適宜設計変更することができる。

【 0 1 3 2 】

また、上記実施形態では、シリコン酸化膜 4 8、5 4、5 6 をエッチングマスクや選択成長マスクとして用いたが、エッチングマスクや選択成長マスクとして用いる膜はシリコン酸化膜に限定されるものではない。

【 0 1 3 3 】

また、上記実施形態では、例えば図 8 ( a ) に示すように受光部 1 4 断面の接合面が表面に現れていない構造としたが、受光部 1 4 断面の接合面が表面に現れている構造としてもよい。図 1 8 は、本発明による半導体受光装置において、受光部 1 4 断面の接合面が表面に現れる構造の一例を示す断面図である。

【 0 1 3 4 】

( 付 記 1 ) 半導体基板上に形成された受光素子と、前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路とを有することを特徴とする半導体受光装置。

【 0 1 3 5 】

( 付 記 2 ) 半導体基板上に形成された受光素子と、前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆う上部クラッド層とを有するテーパ光導波路と、前記受光素子と前記テーパ光導波路との間の前記半導体基板上に形成され、コア層と、前記コア層の上面上のみを選択的に覆う上部クラッド層とを有するリッジ型光導波路とを有することを特徴とする半導体受光装置。

【 0 1 3 6 】

( 付 記 3 ) 半導体基板上に形成された受光素子と、前記半導体基板上に形成され、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路と、前記受光素子と前記テーパ光導波路との間の前記半導体基板上に形成され、コア層と、前記コア層の上面上

のみを選択的に覆う上部クラッド層とを有するリッジ型光導波路とを有することを特徴とする半導体受光装置。

【 0 1 3 7 】

(付記 4) 付記 2 又は 3 記載の半導体受光装置において、前記リッジ型光導波路の前記コア層の幅が、前記テーパ光導波路の前記コア層の幅よりも広くなっていることを特徴とする半導体受光装置。

【 0 1 3 8 】

(付記 5) 付記 2 乃至 4 のいずれかに記載の半導体受光装置において、前記テーパ光導波路を構成する層の数と前記リッジ型光導波路を構成する層の数とが異なっていることを特徴とする半導体受光装置。

【 0 1 3 9 】

(付記 6) 付記 2 乃至 5 のいずれかに記載の半導体受光装置において、前記リッジ型光導波路の前記上部クラッド層に挿入され、前記リッジ型光導波路の前記上部クラッド層とエッチング特性が異なる層を更に有することを特徴とする半導体受光装置。

【 0 1 4 0 】

(付記 7) 付記 1 乃至 6 のいずれかに記載の半導体受光装置において、前記受光素子は、前記テーパ光導波路の前記コア層又は前記リッジ型光導波路の前記コア層と直に結合されていることを特徴とする半導体受光装置。

【 0 1 4 1 】

(付記 8) 付記 1 乃至 7 のいずれかに記載の半導体受光装置において、前記テーパ光導波路の前記コア層及び／又は前記リッジ型光導波路の前記コア層は、クラッド層により複数の層に分割されていることを特徴とする半導体受光装置。

【 0 1 4 2 】

(付記 9) 付記 1 乃至 8 のいずれかに記載の半導体受光装置において、光導波路により互いに光結合された複数の前記受光素子を有することを特徴とする半導体受光装置。

【 0 1 4 3 】

(付記 1 0) 付記 9 記載の半導体受光装置において、複数の前記受光素子は

、前記テーパ光導波路から離れた位置にあるものほど光吸収層の長さが長くなっていることを特徴とする半導体受光装置。

【 0 1 4 4 】

（付記 1 1） 付記 9 又は 1 0 記載の半導体受光装置において、複数の前記受光素子及び前記光導波路の幅が、前記テーパ光導波路から離れるにつれて徐々に広がっていることを特徴とする半導体受光装置。

【 0 1 4 5 】

（付記 1 2） 半導体基板上に、受光素子を形成する工程と、前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層を形成する工程と、前記コア層の上面及び側面を覆い、前記受光素子側に向かって膜厚が連続的に減少する上部クラッド層を形成する工程とを有することを特徴とする半導体受光装置の製造方法。

【 0 1 4 6 】

（付記 1 3） 半導体基板上の第 1 の領域に、受光素子を形成する工程と、前記半導体基板上に、前記受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層を形成する工程と、前記コア層上に第 1 の上部クラッド層を形成する工程と、前記第 1 の上部クラッド層及び前記コア層を、一端が受光素子に接続するストライプ形状にパターンニングする工程と、前記第 1 の領域及び前記第 1 の領域に隣接する第 2 の領域を覆う第 1 のマスク膜を形成する工程と、前記第 1 のマスク膜をマスクとして前記第 1 の上部クラッド層をエッチングし、前記第 2 の領域に前記コア層及び前記第 1 の上部クラッド層を有するリッジ型光導波路を形成する工程と、前記第 1 のマスク膜をマスクとして、前記半導体基板上及び前記コア層上に、第 2 の上部クラッド層を形成し、前記第 2 の領域に隣接する第 3 の領域に、前記コア層及び前記第 2 の上部クラッド層を有するテーパ光導波路を形成する工程とを有することを特徴とする半導体受光装置の製造方法。

【 0 1 4 7 】

（付記 1 4） 付記 1 3 記載の半導体受光装置の製造方法において、前記テーパ光導波路を形成する工程では、第 2 のマスク膜を用いて、前記第 2 の上部クラッド層の成長速度に分布をもたせることにより、前記受光素子側に向かって膜厚

が連続的に減少するように前記第 2 の上部クラッド層を形成することを特徴とする半導体受光装置の製造方法。

【 0 1 4 8 】

(付記 1 5) 付記 1 3 又は 1 4 記載の半導体受光装置の製造方法において、前記第 1 の上部クラッド層及び前記コア層をパターンニングする工程では、前記コア層の前記第 2 の領域における幅が前記第 3 の領域における幅よりも広くなるように、前記コア層をパターンニングすることを特徴とする半導体受光装置の製造方法。

【 0 1 4 9 】

(付記 1 6) 付記 1 3 乃至 1 5 のいずれかに記載の半導体受光装置の製造方法において、前記テーパ光導波路を形成する工程及び／又は前記リッジ型光導波路を形成する工程では、前記テーパ光導波路を構成する層の数と前記リッジ型光導波路を構成する層の数とが異なるようにすることを特徴とする半導体受光装置の製造方法。

【 0 1 5 0 】

(付記 1 7) 付記 1 3 乃至 1 6 のいずれかに記載の半導体受光装置の製造方法において、前記第 1 の上部クラッド層を形成する工程では、前記第 1 の上部クラッド層の中に前記第 1 の上部クラッド層とエッチング特性が異なる層を挿入することを特徴とする半導体受光装置の製造方法。

【 0 1 5 1 】

(付記 1 8) 付記 1 2 乃至 1 7 のいずれかに記載の半導体受光装置の製造方法において、前記コア層を形成する工程では、前記半導体基板上に、クラッド層により複数の層に分割された前記コア層を形成することを特徴とする半導体受光装置の製造方法。

【 0 1 5 2 】

(付記 1 9) 付記 1 2 乃至 1 8 のいずれかに記載の半導体受光装置の製造方法において、前記受光素子を形成する工程では、光導波路により互いに光結合された複数の前記受光素子を形成することを特徴とする半導体受光装置の製造方法。

## 【 0 1 5 3 】

(付記 2 0) 付記 1 9 記載の半導体受光装置の製造方法において、前記受光素子を形成する工程では、前記テーパ光導波路から離れた位置にあるものほど光吸収層の長さが長くなるように複数の前記受光素子を形成することを特徴とする半導体受光装置の製造方法。

## 【 0 1 5 4 】

(付記 2 1) 付記 1 9 又は 2 0 記載の半導体受光装置の製造方法において、前記受光素子を形成する工程では、複数の前記受光素子の光吸収層及び前記光導波路の幅が前記テーパ光導波路から離れるにつれて徐々に広くなるように、複数の前記受光素子及び前記光導波路を形成することを特徴とする半導体受光装置の製造方法。

## 【 0 1 5 5 】

## 【発明の効果】

以上の通り、本発明によれば、半導体基板上に形成された受光素子と、半導体基板上に形成され、受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、コア層の上面及び側面を覆い、受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路とを有するので、テーパ状のコア層と受光素子との間の光結合損失の増大を招くことなく、テーパ状のコア層と受光素子とをモノリシックに集積することができる。これにより、高い受光効率を有し、高速動作可能な半導体受光装置を実現することができる。

## 【 0 1 5 6 】

また、半導体基板上に形成された受光素子と、半導体基板上に形成され、受光素子側に向かって膜厚が連続的に増加するテーパ状のコア層と、コア層の上面及び側面を覆い、受光素子側に向かって膜厚が連続的に減少する上部クラッド層とを有するテーパ光導波路と、受光素子とテーパ光導波路との間の半導体基板上に形成され、コア層と、コア層の上面のみを選択的に覆う上部クラッド層とを有するリッジ型光導波路とを有するので、テーパ光導波路の上部クラッド層のリッジ型光導波路近傍における異常成長を抑制することができる。これにより、受光素子の周辺領域のパターニングにおける不具合の発生等を抑制することができ、

高い受光効率を有し、高速動作可能な半導体受光装置を歩留まりよく製造することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による半導体受光装置の構造を示す斜視図である。

【図 2】

本発明の第 1 実施形態による半導体受光装置の構造を示す断面図である。

【図 3】

本発明の第 1 実施形態による半導体受光装置の製造方法を示す工程断面図（その 1）である。

【図 4】

本発明の第 1 実施形態による半導体受光装置の製造方法を示す工程断面図（その 2）である。

【図 5】

本発明の第 1 実施形態による半導体受光装置の製造方法において用いるマスクを示す上面図である。

【図 6】

本発明の第 1 実施形態による半導体受光装置の製造方法において I n P クラッド層を厚く形成した場合の様子を示す断面図である。

【図 7】

本発明の第 2 実施形態による半導体受光装置の構造を示す斜視図である。

【図 8】

本発明の第 2 実施形態による半導体受光装置の構造を示す断面図である。

【図 9】

本発明の第 2 実施形態による半導体受光装置の製造方法を示す工程断面図（その 1）である。

【図 1 0】

本発明の第 2 実施形態による半導体受光装置の製造方法を示す工程断面図（その 2）である。

【図 1 1】

本発明の第 2 実施形態による半導体受光装置の製造方法において用いるマスクを示す上面図である。

【図 1 2】

本発明の第 3 実施形態による半導体受光装置の構造を示す断面図である。

【図 1 3】

本発明の第 4 実施形態による半導体受光装置の構造を示す断面図である。

【図 1 4】

本発明の第 5 実施形態による半導体受光装置の構造を示す断面図である。

【図 1 5】

本発明の第 6 実施形態による半導体受光装置の構造を示す断面図である。

【図 1 6】

本発明の第 7 実施形態による半導体受光装置の構造を示す概略図である。

【図 1 7】

本発明の第 7 実施形態の変形例による半導体受光装置の構造を示す断面図である。

【図 1 8】

本発明の変形例による半導体受光装置の構造を示す断面図である。

【図 1 9】

従来の半導体受光装置の構造を示す断面図である。

【符号の説明】

1 0 … S I - I n P 基板

1 2 … 光導波路部

1 2 a … 埋め込み光導波路部

1 2 b … リッジ型接続用光導波路部

1 4 … 受光部

1 6 … n 型 I n P 層

1 8 … I n G a A s P コア層

2 0 a、2 0 b … I n P クラッド層

2 2 … I n G a A s 光吸収層  
3 0 … p 型半導体層  
3 2 … P I N フォトダイオード  
3 6 … n 型電極  
3 8 … p 型電極  
4 0 … I n G a A s 層  
4 2 … p 型 I n P 層  
4 4 … p 型 I n G a A s 層  
4 6 … p 型 I n P 層  
4 8 … シリコン酸化膜  
5 0 … I n G a A s P 層  
5 2 … I n P 層  
5 4 … シリコン酸化膜  
5 6 … シリコン酸化膜  
5 8 … I n P クラッド層  
6 0 … シリコン酸化膜  
6 2 … コア層  
6 4 … I n G a A s P 層  
6 6 … I n P 層  
6 8 … I n G a A s P 層  
7 0 … I n G a A s P 層  
7 2 a、7.2 b、7 2 c、7 2 d … I n G a A s P 層  
7 4 a、7 4 b、7 4 c … P I N フォトダイオード  
7 6 a、7 6 b … リッジ型光導波路  
7 8 … 信号配線  
1 0 0 … S I - I n P 基板  
1 0 2 … 光導波路部  
1 0 4 … 受光部  
1 0 6 … n 型 I n P 層

1 0 8 … I n G a A s P コア層

1 1 0 … I n P クラッド層

1 1 2 … I n G a A s 光吸収層

1 1 4 … p 型半導体層

1 1 6 … P I N フォトダイオード

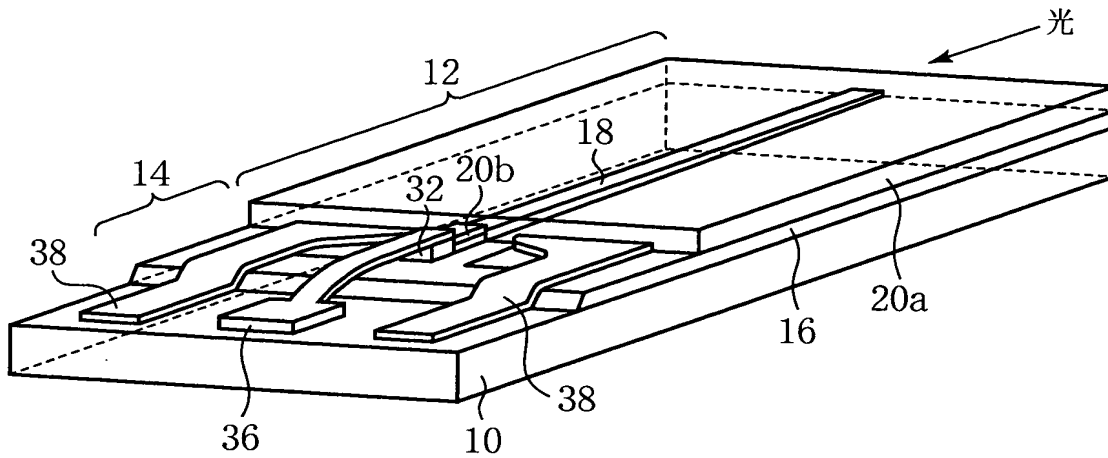
1 1 8 … n 型電極

1 2 0 … p 型電極

【書類名】 図面

【図 1】

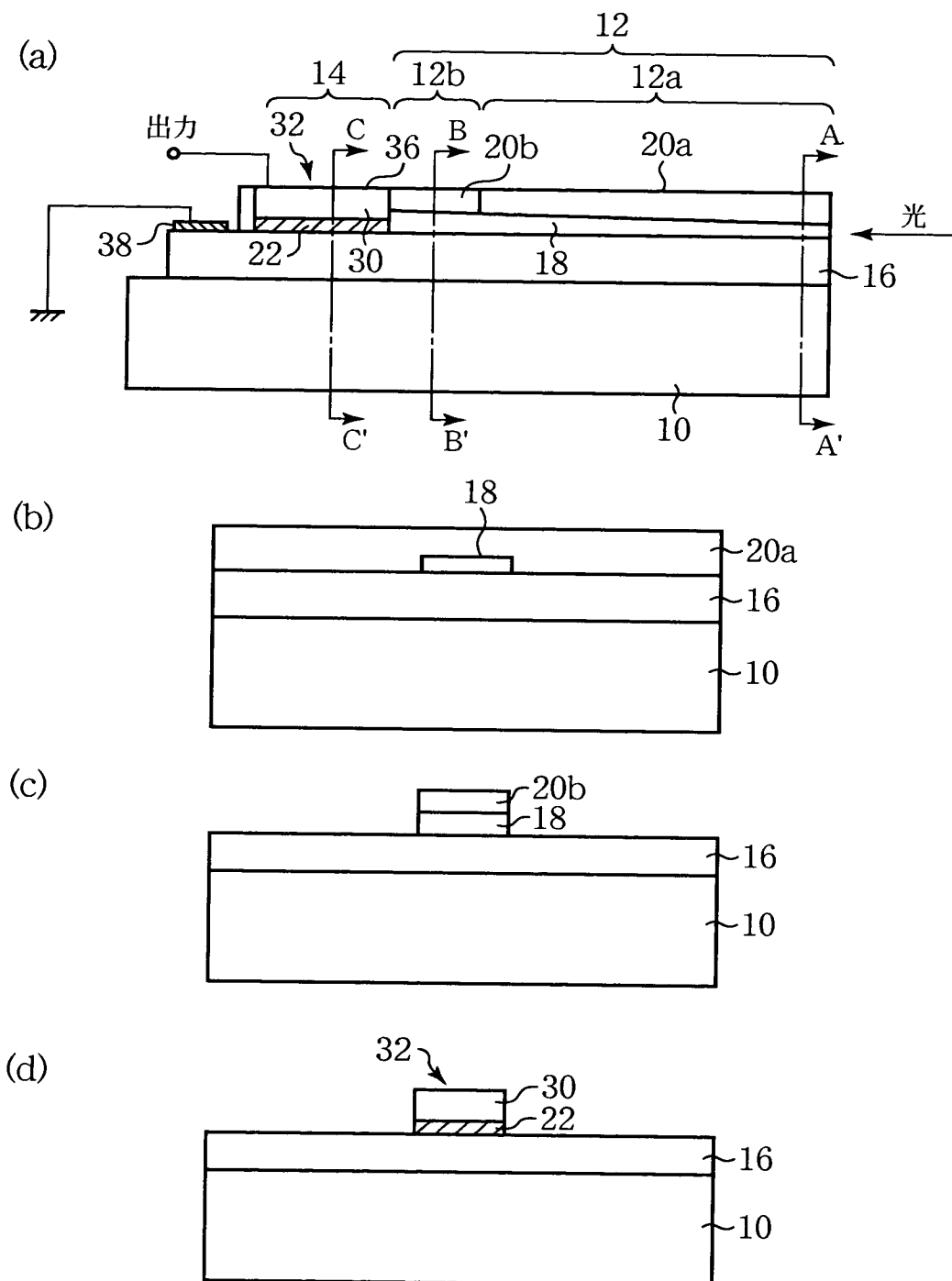
本発明の第1実施形態による半導体受光装置の構造を示す斜視図



- 10…SI-InP基板
- 12…光導波路部
- 14…受光部
- 16…n型InP層
- 18…InGaAsPコア層
- 20a、20b…InPクラッド層
- 22…InGaAs光吸収層
- 30…p型半導体層
- 32…PINフォトダイオード
- 36…n型電極
- 38…p型電極

【図 2】

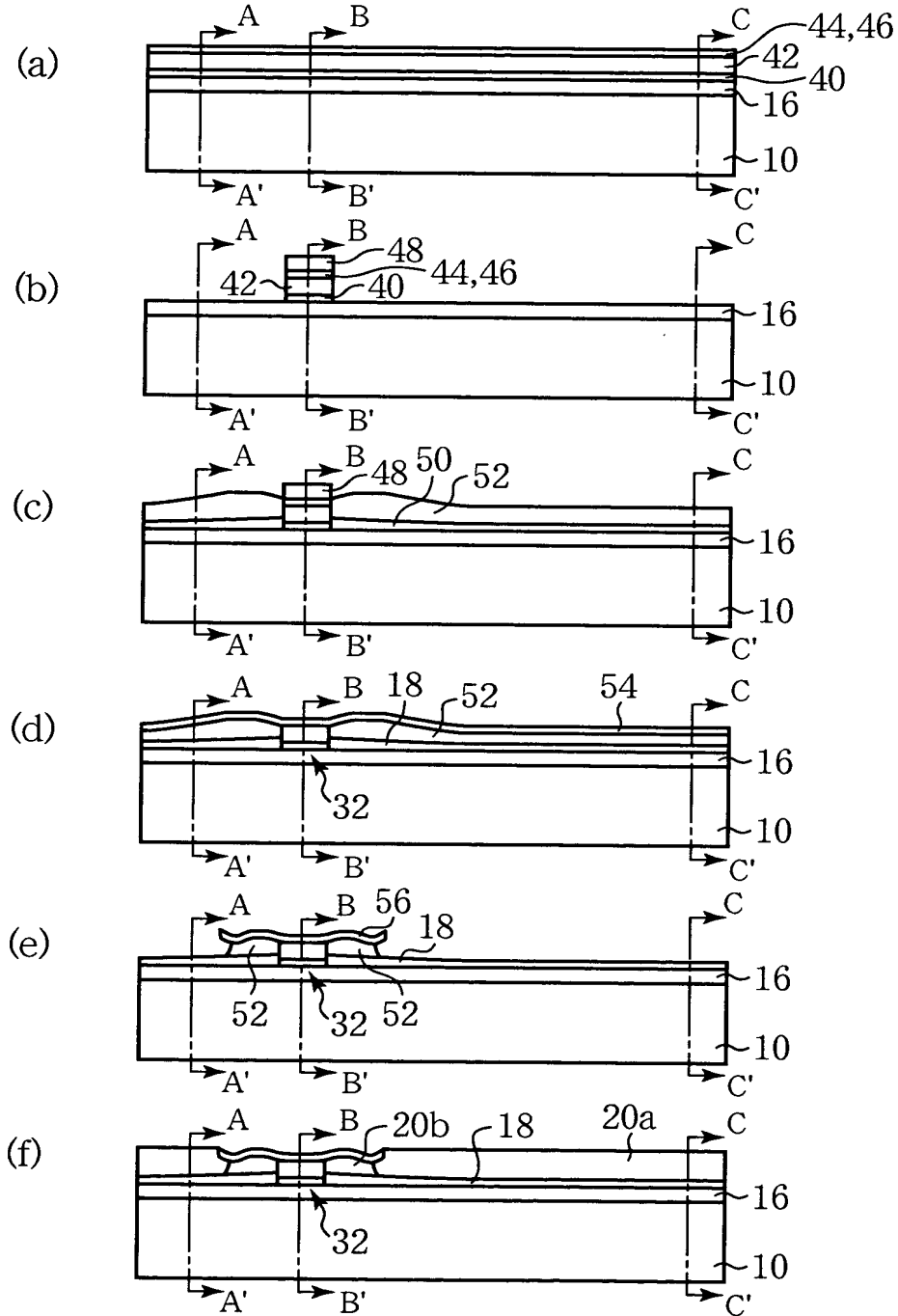
本発明の第1実施形態による半導体受光装置の構造を示す断面図



12a…埋め込み光導波路部  
12b…リッジ型接続用光導波路部

【図 3】

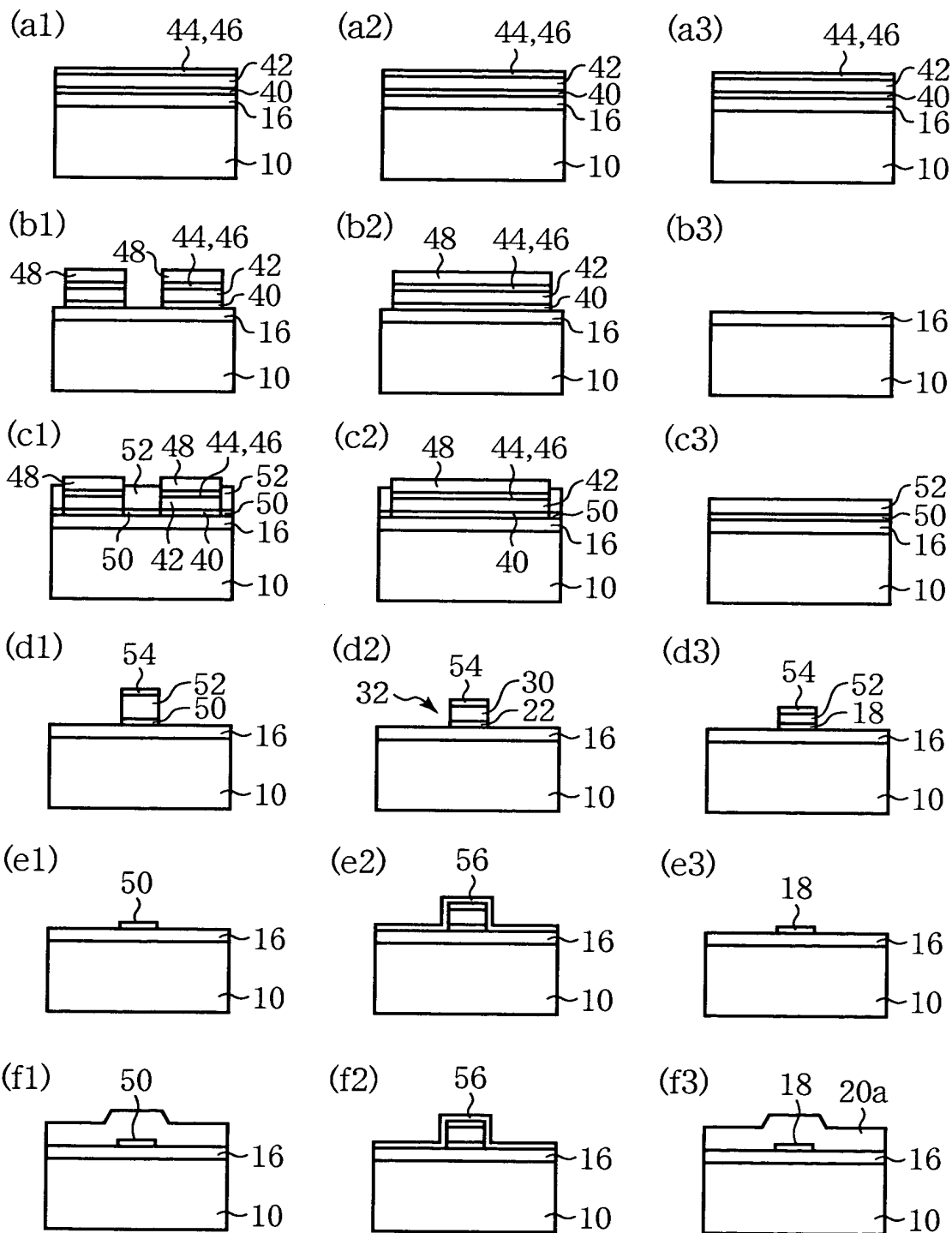
本発明の第1実施形態による半導体受光装置の製造方法を示す  
工程断面図（その1）



40…InGaAs層	46…p型InP層	52…InP層
42…p型InP層	48…シリコン酸化膜	54…シリコン酸化膜
44…p型InGaAs層	50…InGaAsP層	56…シリコン酸化膜

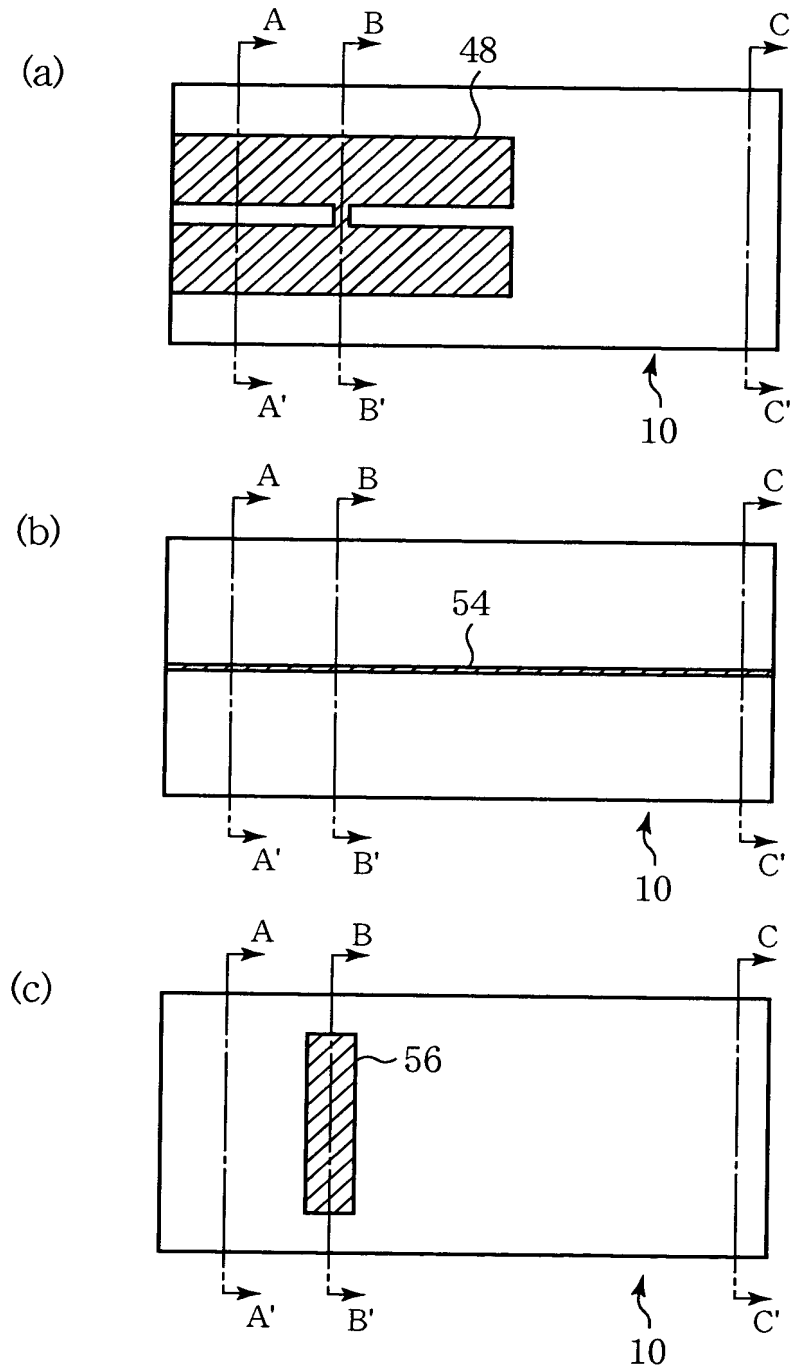
【図 4】

本発明の第1実施形態による半導体受光装置の製造方法を示す  
工程断面図（その2）



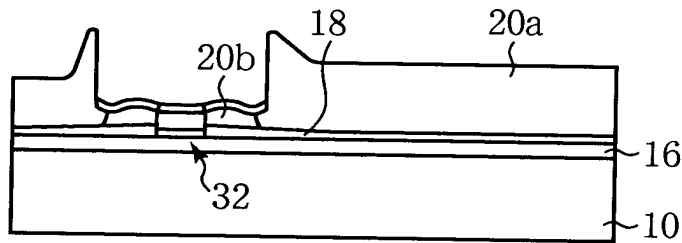
【図 5】

本発明の第1実施形態による半導体受光装置の製造方法において  
用いるマスクを示す上面図



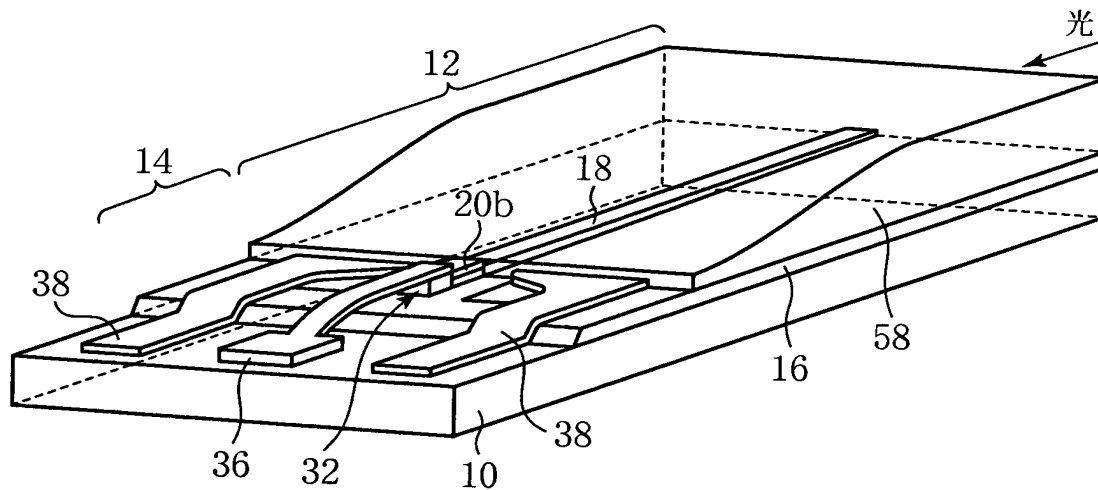
【図 6】

本発明の第1実施形態による半導体受光装置の製造方法において  
InPクラッド層を厚く形成した場合の様子を示す断面図



【図 7】

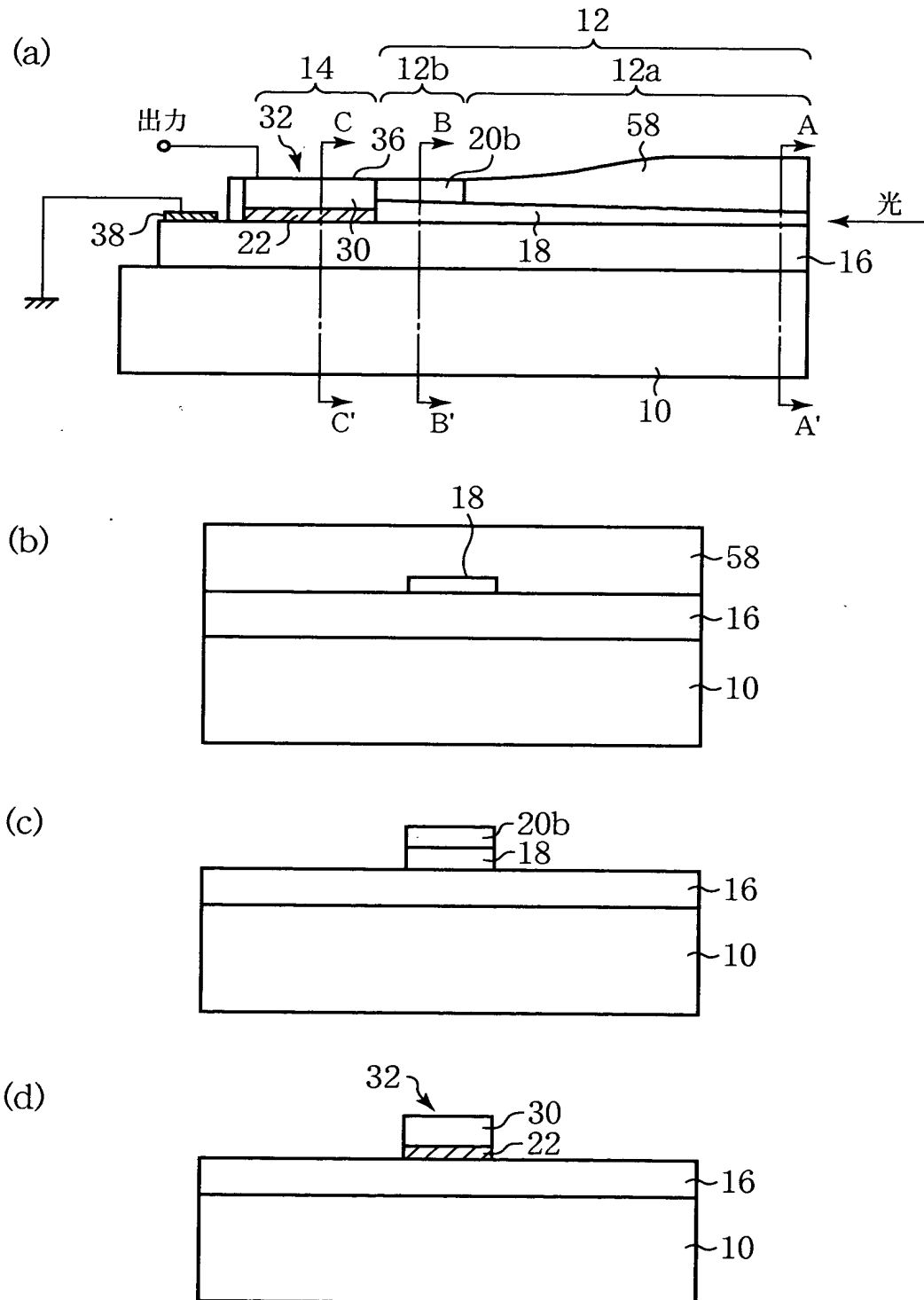
本発明の第2実施形態による半導体受光装置の構造を示す斜視図



58…InPクラッド層

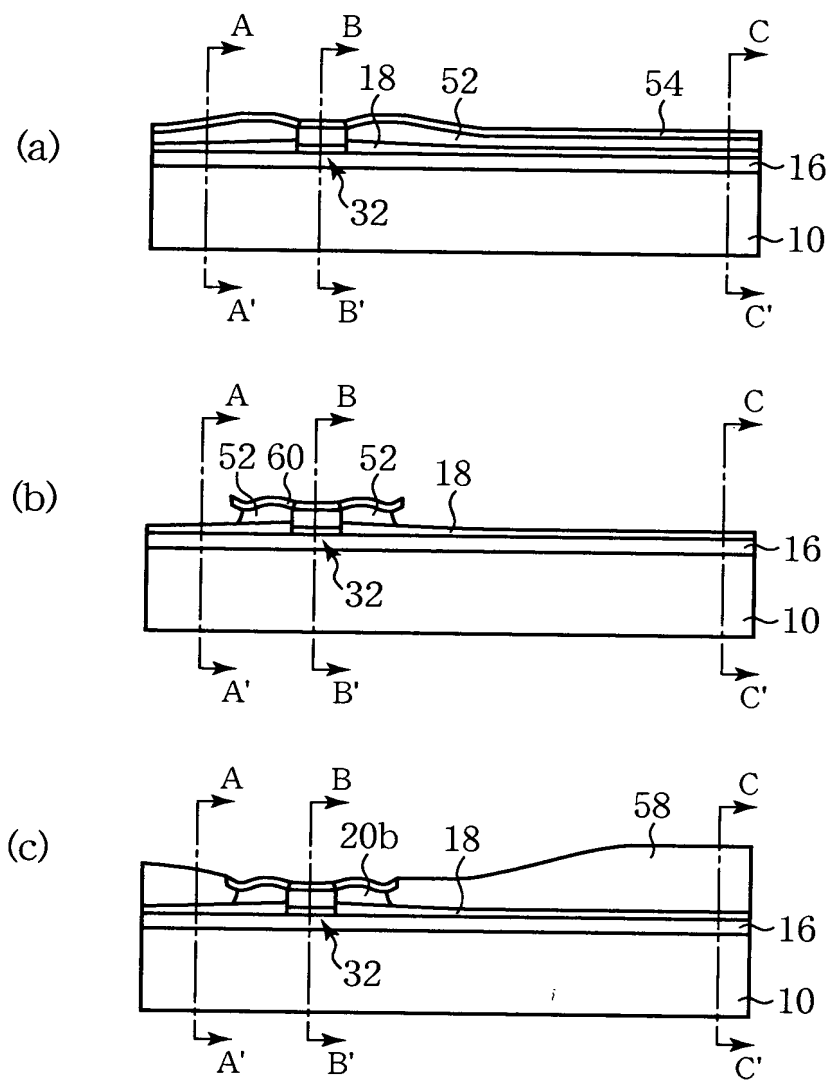
【図 8】

本発明の第2実施形態による半導体受光装置の構造を示す断面図



【図 9】

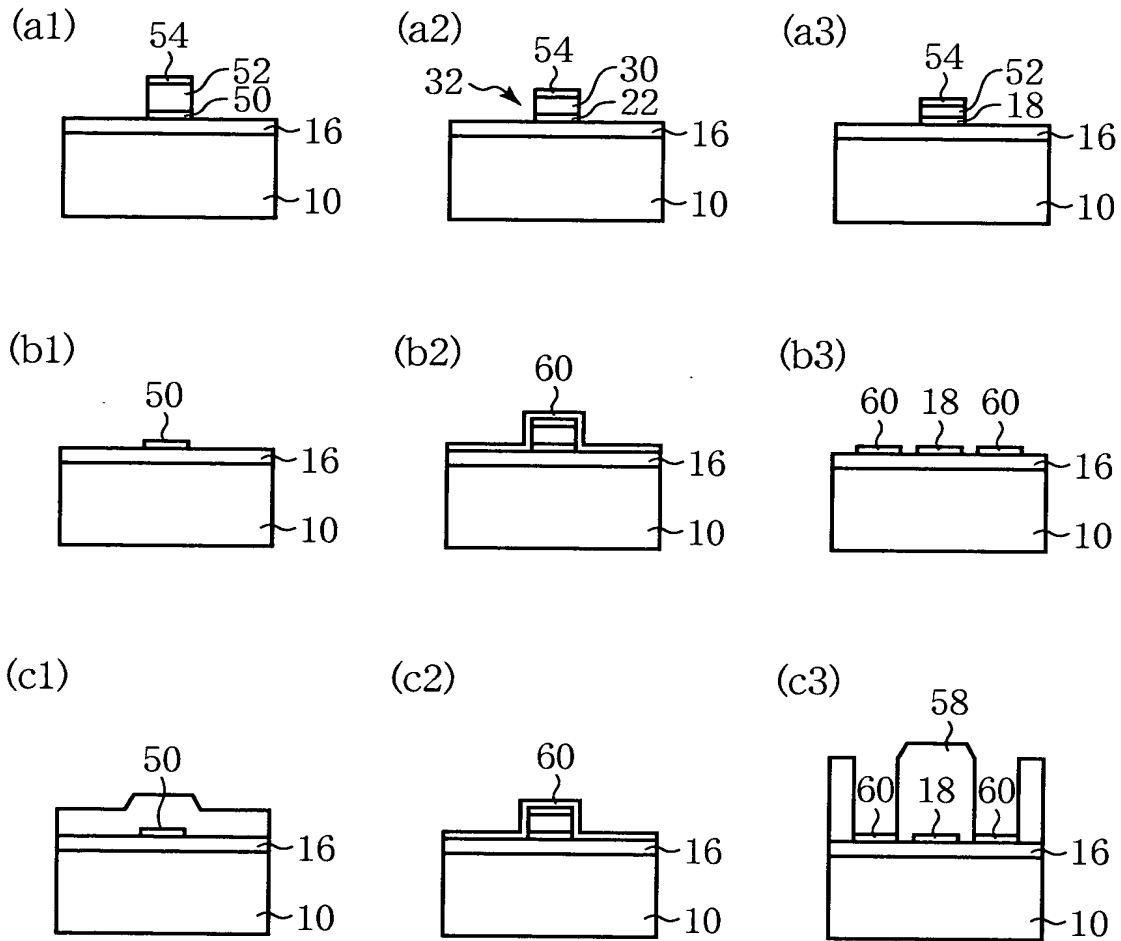
本発明の第2実施形態による半導体受光装置の製造方法を示す  
工程断面図（その1）



60…シリコン酸化膜

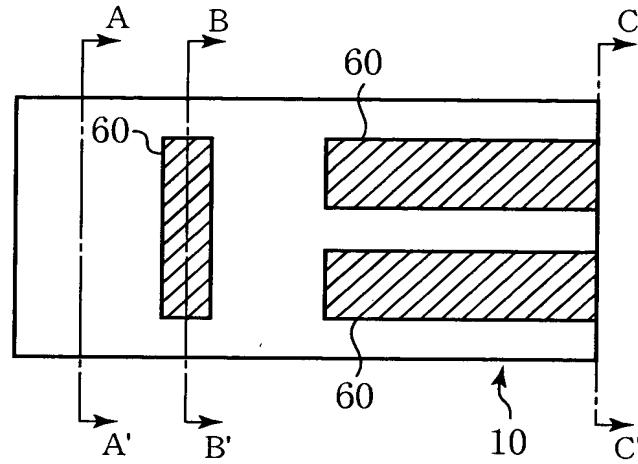
【図 1 0】

本発明の第2実施形態による半導体受光装置の製造方法を示す  
工程断面図（その2）



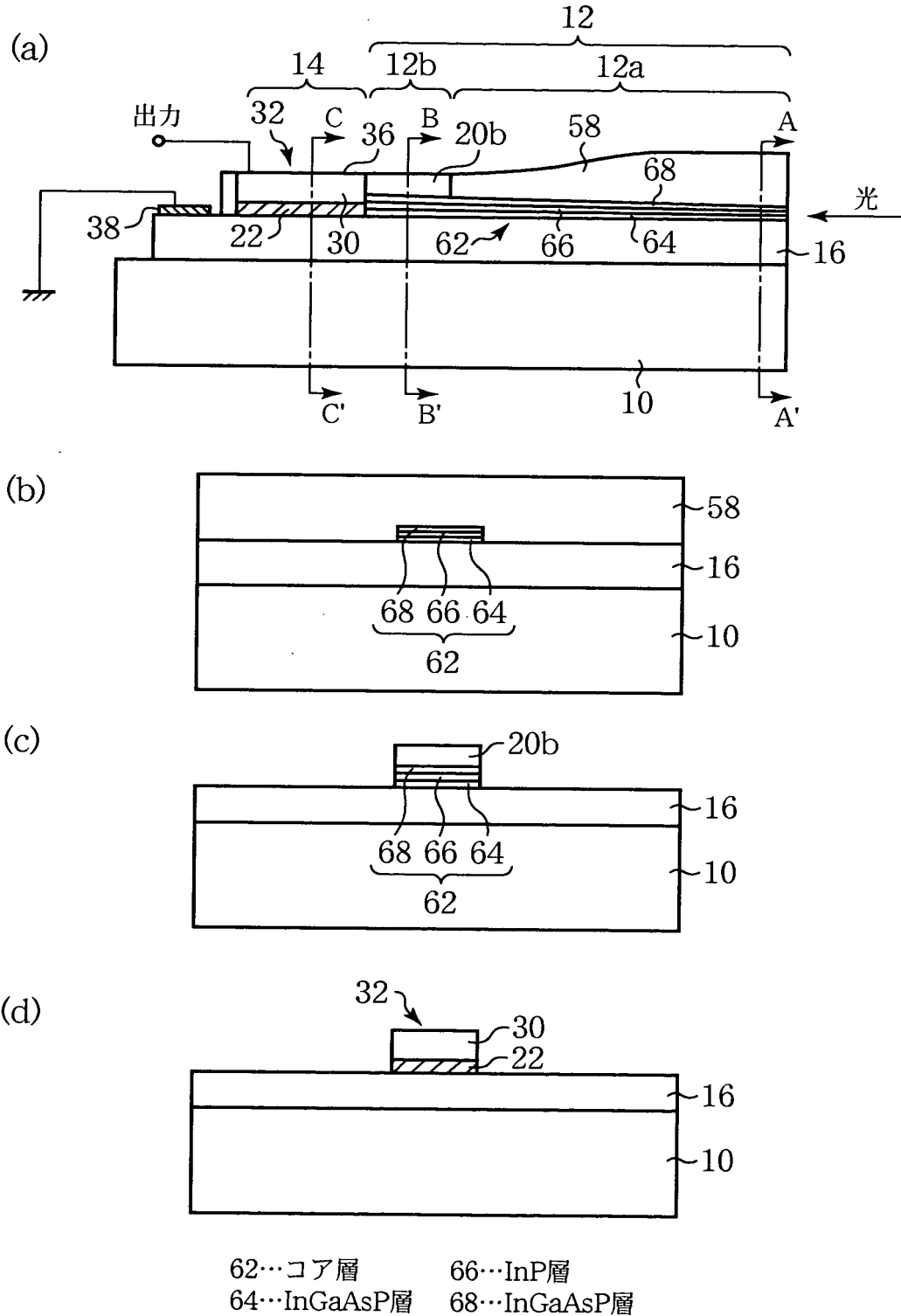
【図 1 1】

本発明の第2実施形態による半導体受光装置の製造方法において  
用いるマスクを示す上面図



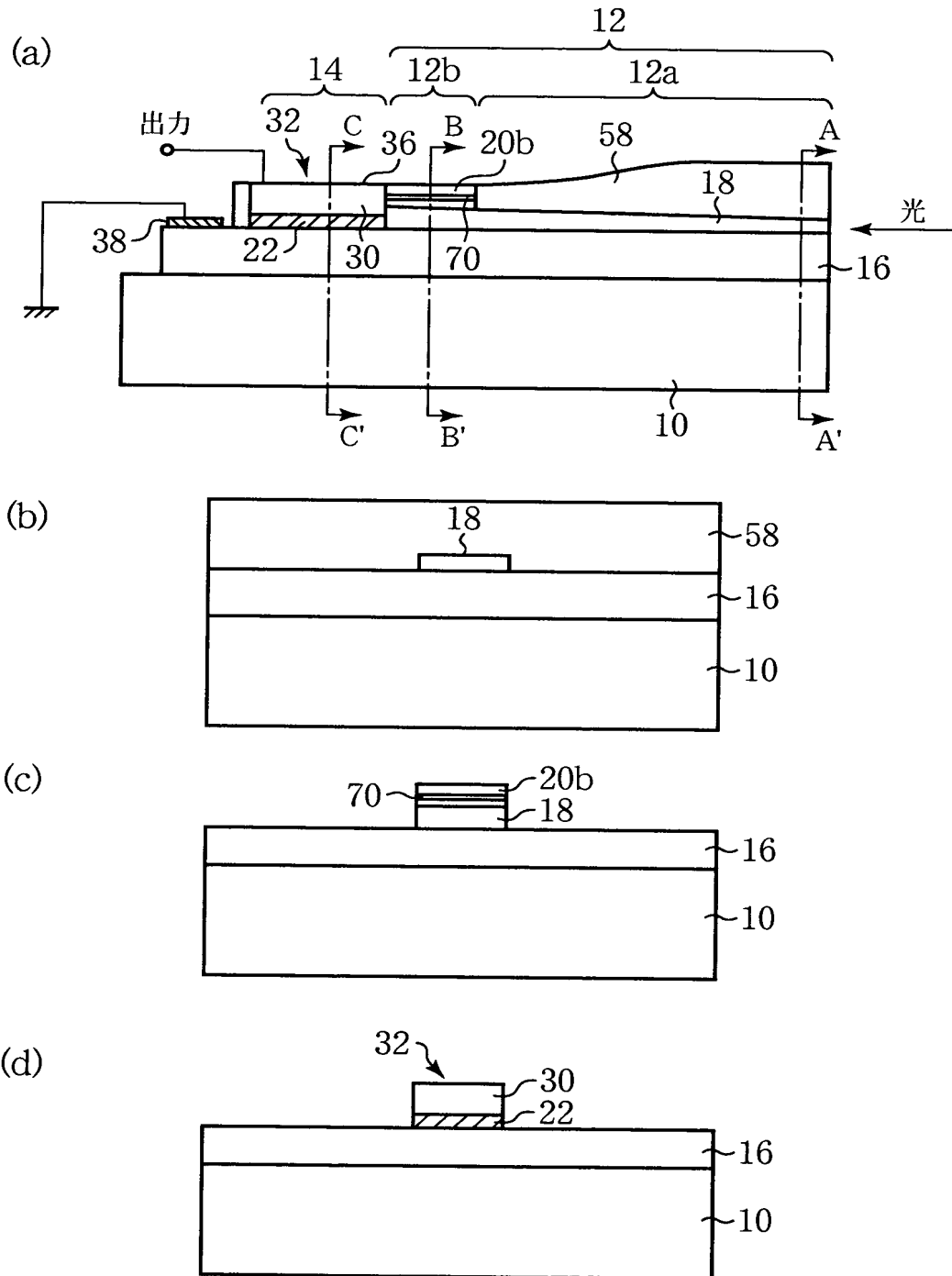
【図 1 2】

本発明の第3実施形態による半導体受光装置の構造を示す断面図



【図 1 3】

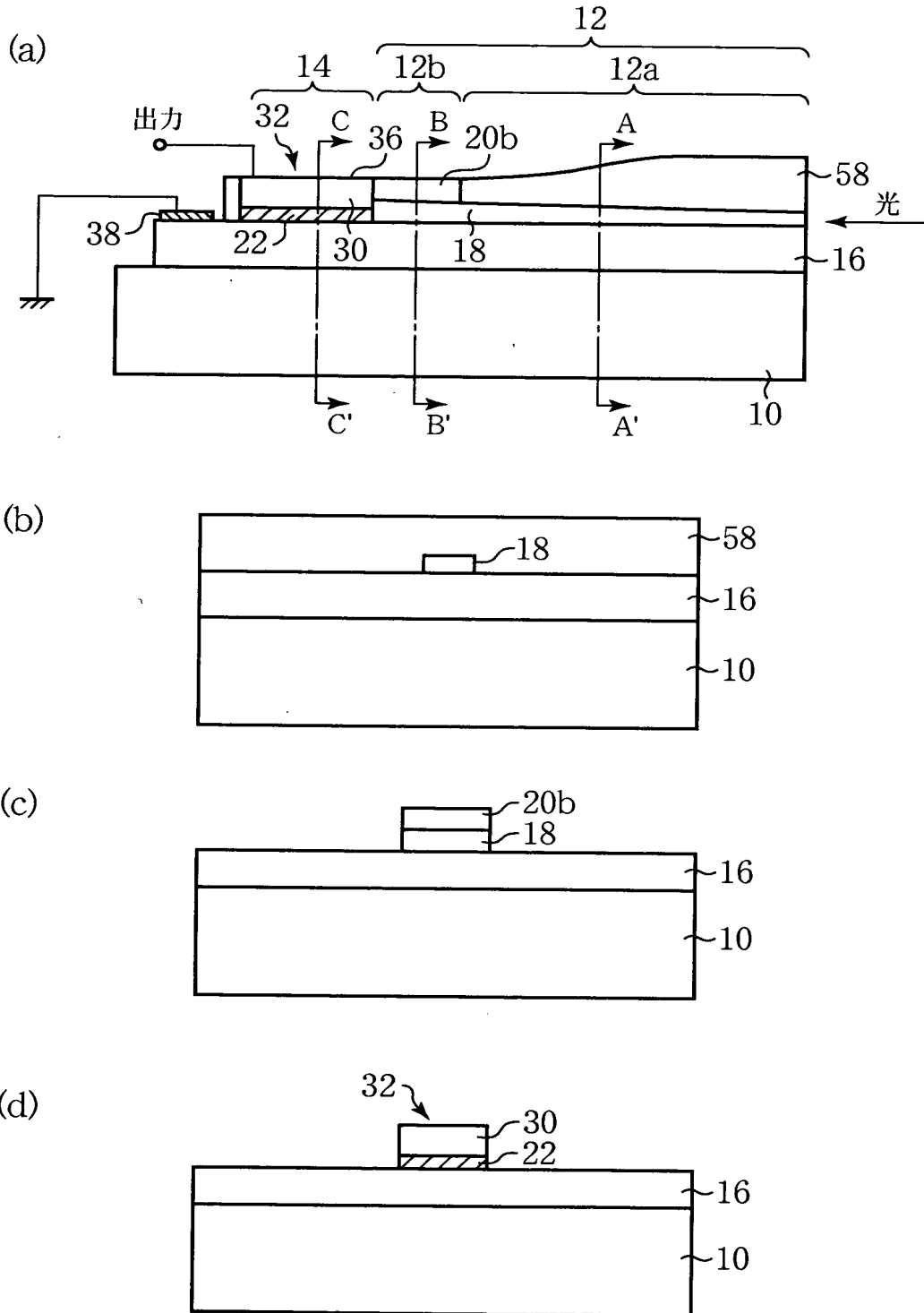
本発明の第4実施形態による半導体受光装置の構造を示す断面図



70...InGaAsP層

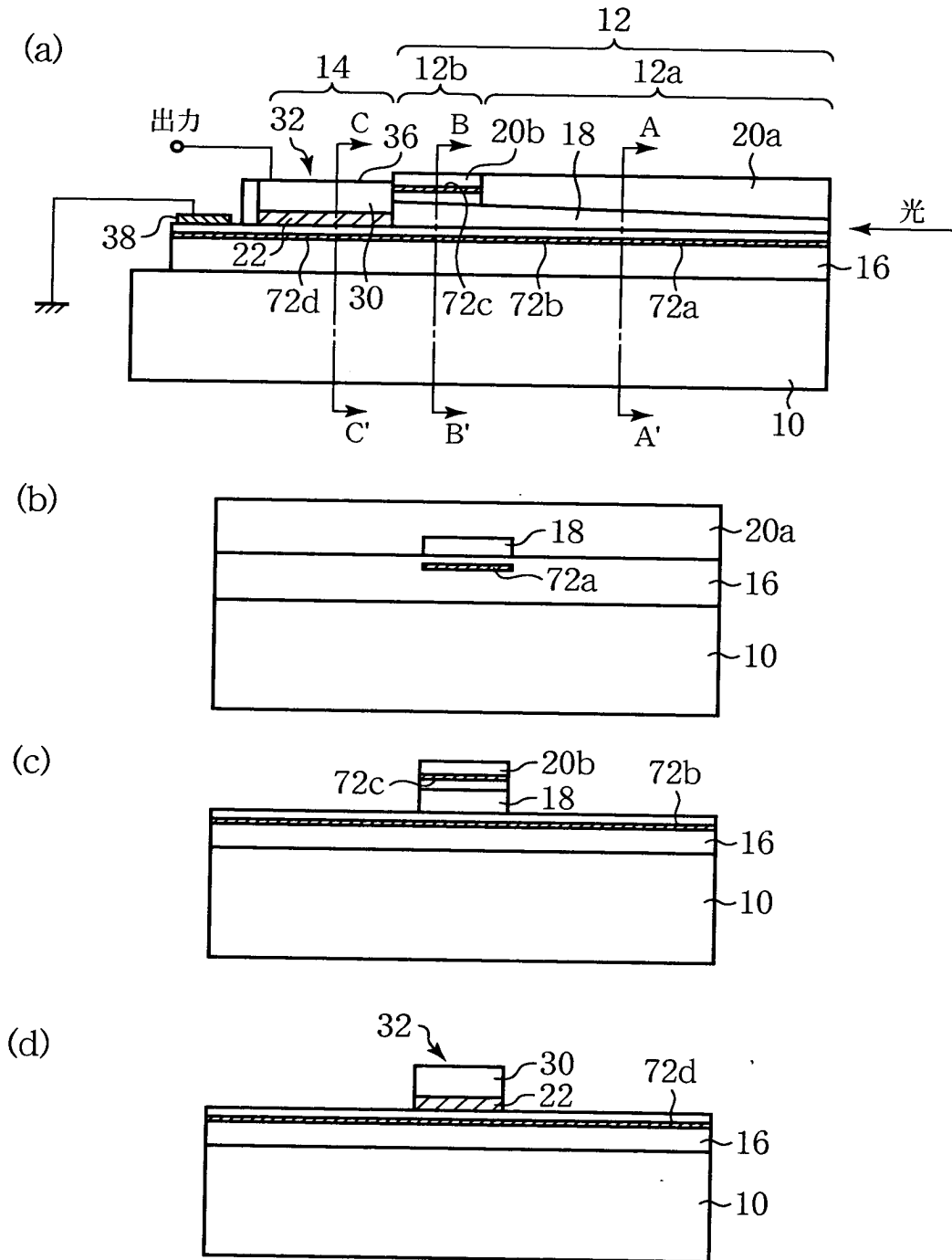
【図 1 4】

本発明の第5実施形態による半導体受光装置の構造を示す断面図



【図 1 5】

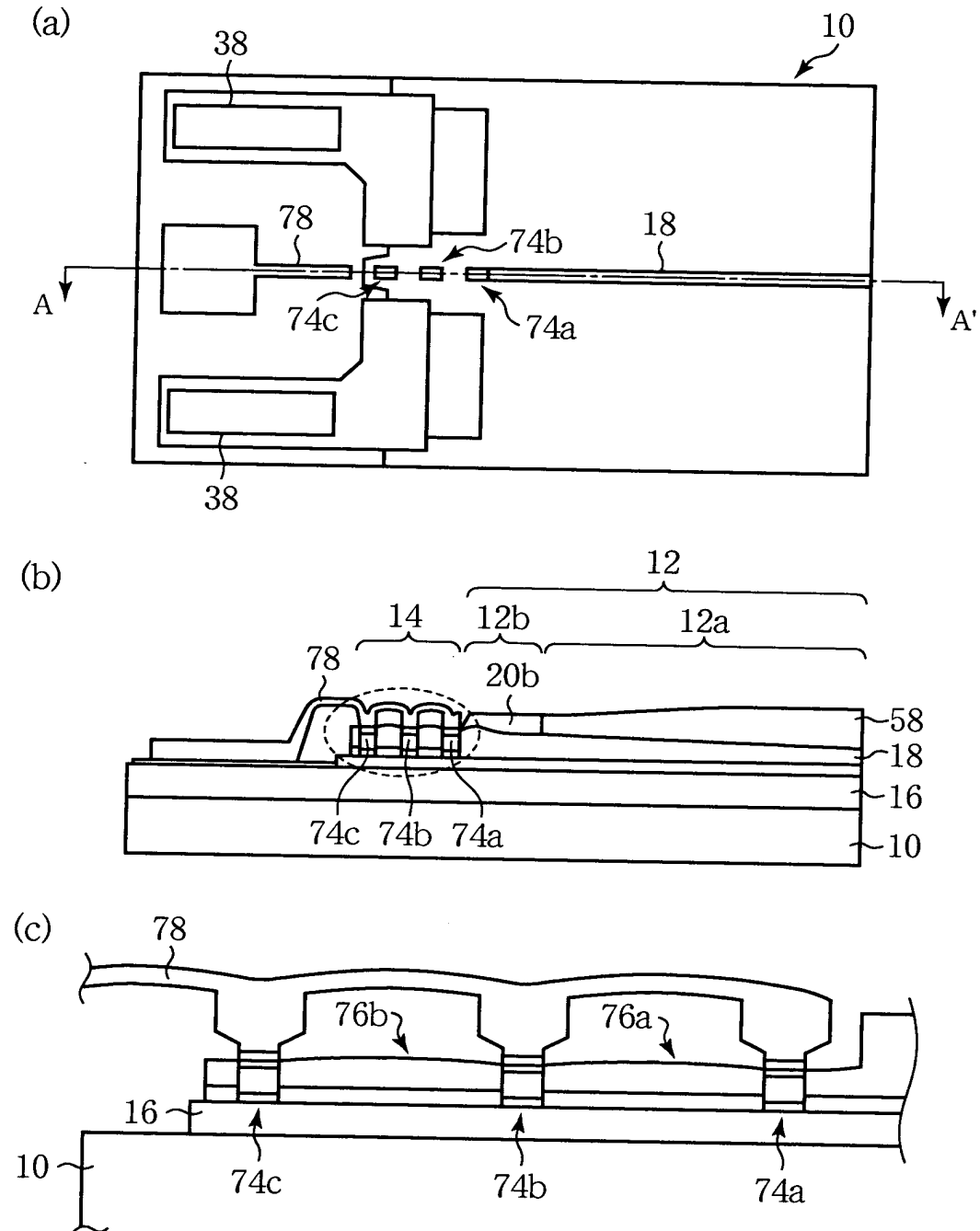
本発明の第6実施形態による半導体受光装置の構造を示す断面図



72a、72b、72c、72d…InGaAsP層

【図16】

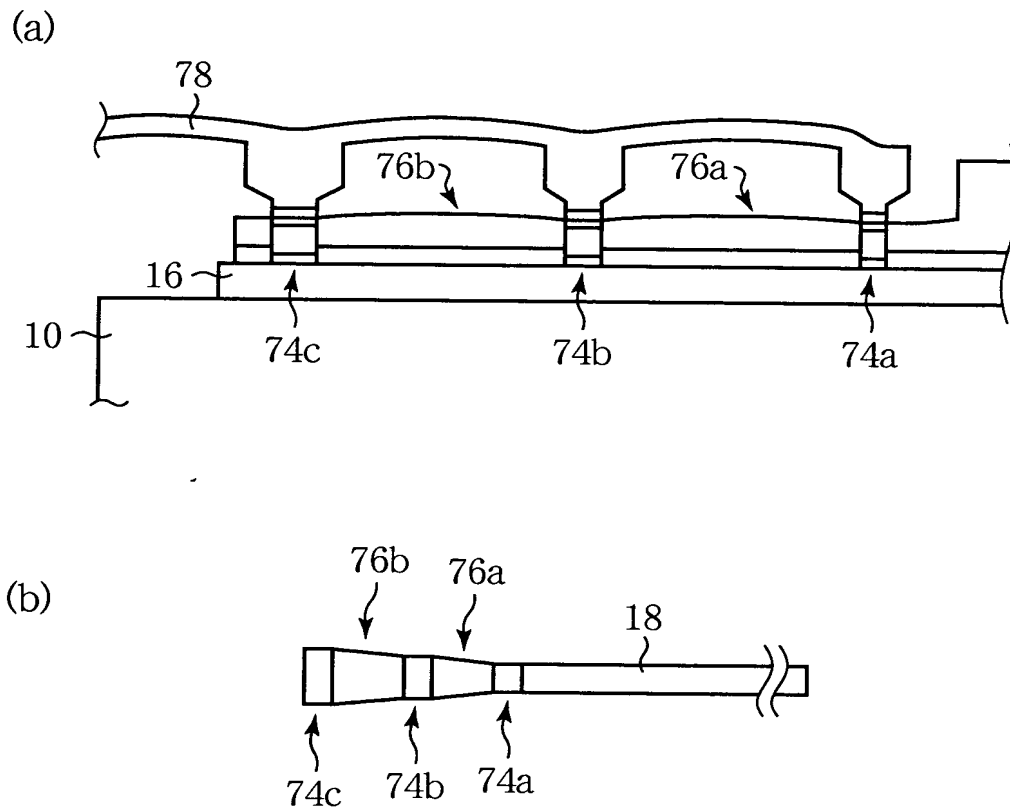
本発明の第7実施形態による半導体受光装置の構造を示す概略図



74a、74b、74c…PINフォトダイオード  
 76a、76b…リッジ型光導波路  
 78…信号配線

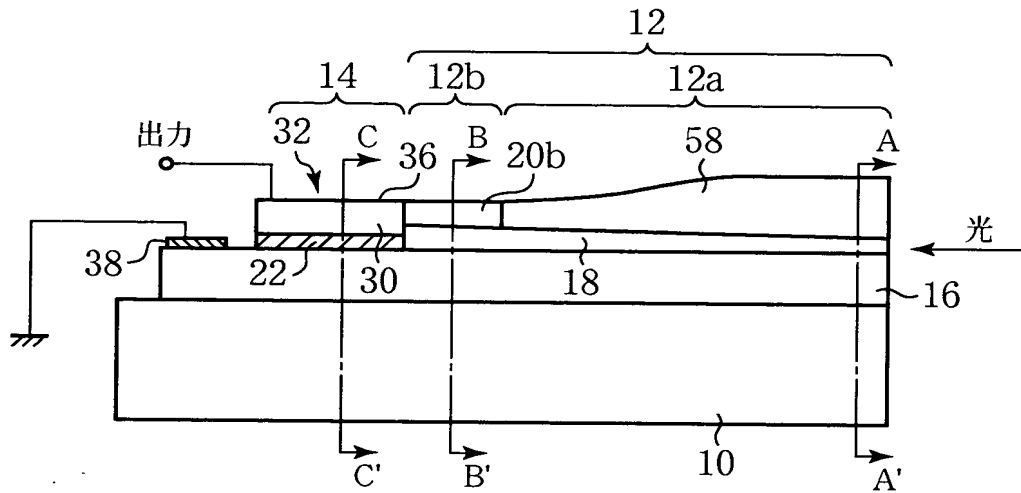
【図 1 7】

本発明の第7実施形態の変形例による半導体受光装置の構造を示す断面図



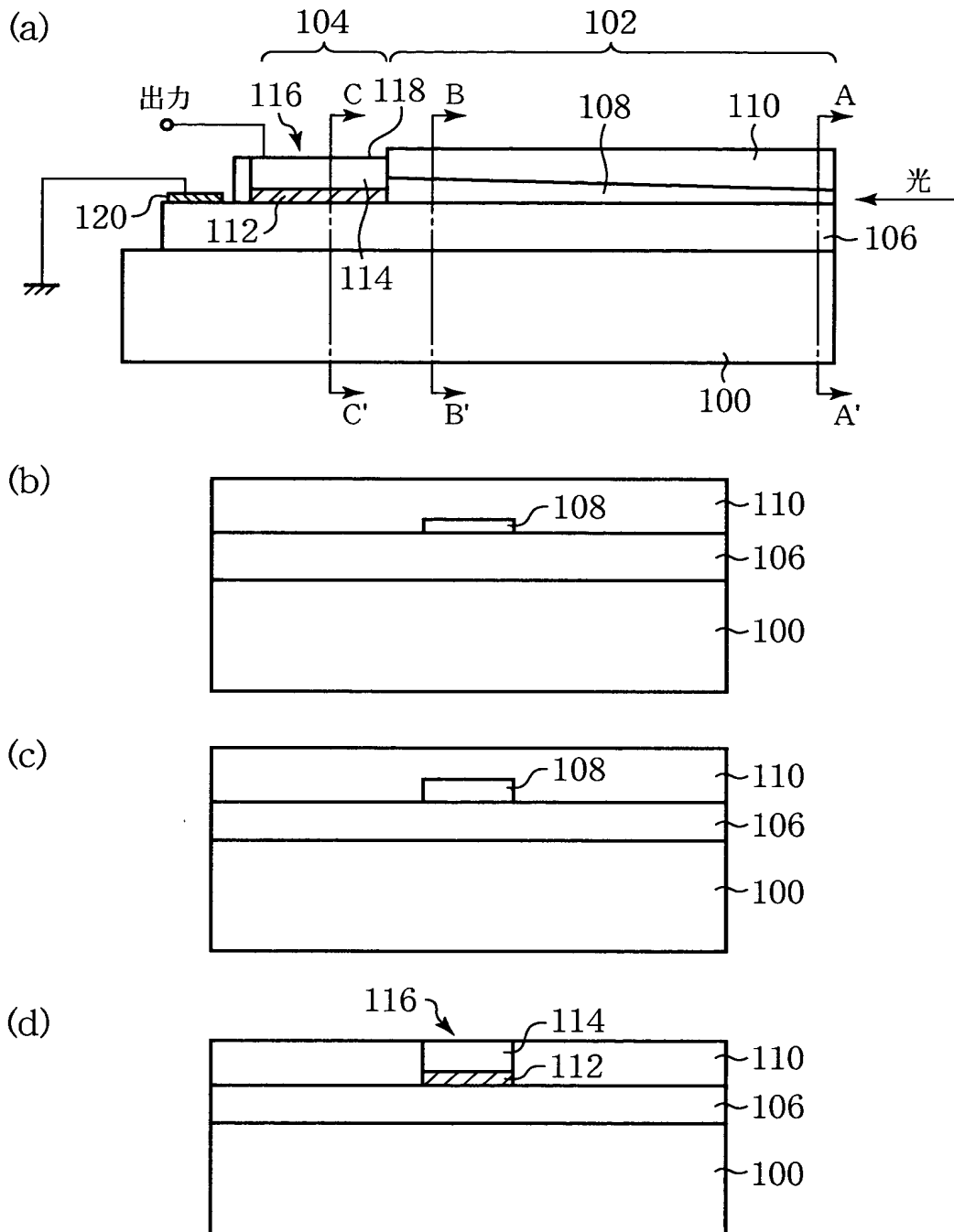
【図 1 8】

本発明の変形例による半導体受光装置の構造を示す断面図



【図 1 9】

従来の半導体受光装置の構造を示す断面図



100…SI-InP基板	108…InGaAsPコア層	116…PINフォトダイオード
102…光導波路部	110…InPクラッド層	118…n型電極
104…受光部	112…InGaAs光吸収層	120…p型電極
106…n型InP層	114…p型半導体層	

【書類名】 要約書

【要約】

【課題】 高い受光効率を有するとともに高速動作が可能であり、歩留まりよく製造しうる半導体受光装置及びその製造方法を提供する。

【解決手段】 S I - I n P 基板 1 0 上に形成された P I N フォトダイオード 3 2 と、 S I - I n P 基板 1 0 上に形成され、 P I N フォトダイオード 3 2 側に向かって膜厚が連続的に増加するテーパ状の I n G a A s P コア層 1 8 と、 I n G a A s P コア層 1 8 の上面及び側面を覆う I n P クラッド層 2 0 a とを有する埋め込み光導波路部 1 2 a と、 P I N フォトダイオード 3 2 と埋め込み光導波路部 1 2 a との間の S I - I n P 基板 1 0 上に形成され、 I n G a A s P コア層 1 8 と、 I n G a A s P コア層 1 8 の上面上のみを選択的に覆う I n P クラッド層 1 2 b とを有するリッジ型接続用光導波路部 1 2 b とを有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号  
氏 名 富士通株式会社